



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

領域 (22, 24)、チャネル形成領域 (23a)、電荷蓄積ノード (23b)、ゲート酸化膜 (18)、ゲート電極 (19) を有している。ゲート電極 (19) はゲートライン (GL) に、不純物拡散領域 (24) はソースライン (SL) に、それぞれ接続されている。ストレージトランジスタ (STr) は、電荷蓄積ノード (23b) にホールが蓄積されている状態と、ホールが蓄積されていない状態とを作り出すことにより、それぞれデータ "1" 及びデータ "0" を記憶する。アクセストランジスタ (ATr) は、不純物拡散領域 (20, 22)、チャネル形成領域 (21)、ゲート酸化膜 (16)、ゲート電極 (17) を有している。不純物拡散領域 (20) はビットライン (BL) に接続されている。

## 明 細 書

## 半導体記憶装置

## 技術分野

- [0001] 本発明は、半導体記憶装置に関し、特に、2つのトランジスタによってメモリセルが構成された半導体記憶装置に関する。

## 背景技術

- [0002] 高密度の半導体記憶装置としては、スタック型やトレンチ型のメモリキャパシタと、スイッチング用のMOSTランジスタとを備えるDRAMが主流であったが、メモリキャパシタのさらなる小型化が困難であるため、DRAMの小型化も限界を迎えようとしている。このような状況の下、上記のようなスタック型やトレンチ型のメモリキャパシタを用いる代わりに、スイッチングトランジスタをキャパシタ素子としても兼用し、1つのメモリトランジスタのみによってメモリセルを構成するタイプの半導体記憶装置が開発されつつある。例えば、下記非特許文献1には、SOIトランジスタのフローティングボディ領域に電荷を蓄積する半導体記憶装置が開示されている。
- [0003] 非特許文献1: DIGEST OF TECHNICAL PAPERS pp152-153, "9.1 Memory Design Using One-Transistor Gain Cell on SOI", Takashi Ohsawa, Katsuyuki Fujita, Tomoki Higashi, Yoshihisa Iwata, Takeshi Kajiyama, Yoshiaki Asao, Kazumasa Sunouchi, 2002 IEEE International Solid-State Circuits Conference, February 5, 2002
- [0004] また、上記の非特許文献1と同様に、1つのトランジスタのみでメモリセルが構成されている半導体記憶装置の他の例が、下記特許文献1に開示されている。
- [0005] 特許文献1: 特開2002-260381号公報
- [0006] しかしながら、上記非特許文献1に開示された半導体記憶装置によると、特殊な構造のポリシリコンピラーを形成する必要があるため、プロセスが複雑になり、製造コストの増大を招くという問題がある。
- [0007] また、上記特許文献1に開示された半導体記憶装置では、ソースドレイン間に高電圧を印加することによってドレイン近傍でインパクトイオン化を起こさせ、それにより生成したホールをボディに蓄積させることで、データ"1" (しきい値電圧が低い状態)

の書き込みが実施される。また、ソースに負電圧を印加してボディからホールを排出することによって、データ“0”（しきい値電圧が高い状態）の書き込みが実施される。しかし、インパクトイオン化によるホールの生成には限界があり、データ“1”の状態とデータ“0”の状態とでしきい値電圧の差を大きくすることができないという問題がある。また、読み出しや書き込みの制御には非常に多種の電源電圧が必要であり、しかも、ワードラインやビットラインを制御するために3値の電圧を供給するドライバが必要であるため、読み出し及び書き込みの制御や、必要な電圧の生成が複雑になるという問題もある。さらに、1つのメモリトランジスタのみによってメモリセルを構成した場合には、電源投入時にボディの電位が非常に低い状態に維持されていることがあり、そのような状況ではインパクトイオン化による電流が流れず、データ“1”を書き込むことができないという問題もある。かかる事態を回避するためには、全てのメモリセルを一旦初期化するという余分な手順が必要となり、しかも、初期化のために通常動作よりも高い電源電圧を生成する必要があるという問題もある。

#### 発明の開示

- [0008] 本発明はかかる問題を解決するために成されたものであり、特殊なプロセスを必要とせずに、汎用されているMOSプロセスによって製造が可能であり、しかも、データ“1”の状態とデータ“0”の状態とでしきい値電圧を大きく異ならせることにより、安定した動作を実現し得る半導体記憶装置を得ることを目的とする。
- [0009] 本発明に係る半導体記憶装置の第1の態様は、行列状に配置された複数のメモリセルと、第1方向に並ぶ前記複数のメモリセルによって共有されるゲートライン及びワードラインと、第2方向に並ぶ前記複数のメモリセルによって共有されるビットライン及びソースラインとを備え、前記複数のメモリセルのそれぞれは、第1のチャネル形成領域を挟んで対向する第1及び第2の不純物拡散領域と、前記第1のチャネル形成領域の上方に形成された第1のゲート電極と、前記第1のチャネル形成領域の下方に形成された電荷蓄積ノードとを含むストレージトランジスタと、前記ストレージトランジスタに直列に接続され、前記第1の不純物拡散領域と、第2のチャネル形成領域を挟んで前記第1の不純物拡散領域に対向する第3の不純物拡散領域と、前記第2のチャネル形成領域の上方に形成された第2のゲート電極とを含むアクセストランジスタと

を有し、前記第2の不純物拡散領域は前記ソースラインに、前記第3の不純物拡散領域は前記ビットラインに、前記第1のゲート電極は前記ゲートラインに、前記第2のゲート電極は前記ワードラインに、それぞれ接続され、前記アクセストランジスタのオン/オフによって前記第1の不純物拡散領域の電位を一定電位又はフローティング状態に切り替えることにより、前記電荷蓄積ノードの電位を制御し、それによって前記ストレージトランジスタのしきい値電圧がハイレベル又はロウレベルに設定される。

[0010] 本発明に係る半導体記憶装置の第1の態様によれば、特殊なプロセスを必要とせずに製造が可能であり、しかも、安定した動作を実現することが可能である。

[0011] 本発明に係る半導体記憶装置の第2の態様は、第1方向に沿って延在する第1の素子分離絶縁膜が形成された主面を有し、前記第1方向に沿って延在する素子形成領域が前記第1の素子分離絶縁膜によって規定された基板と、前記第1方向に沿って延在するビットラインと、いずれも第2方向に沿って延在する、複数のゲートライン、複数のワードライン、及び複数のソースラインと、前記素子形成領域内で前記第1方向に沿って並んで配置された複数のメモリセルとを備え、前記複数のメモリセルによって前記ビットラインが共有され、前記複数のメモリセルのうちの前記第1方向に沿って互いに隣接する2つのメモリセルによって、前記複数のソースラインのうちの1本のソースラインが共有される。

[0012] 本発明に係る半導体記憶装置の第2の態様によれば、メモリセルアレイ領域の面積を削減することが可能である。

[0013] 本発明の目的、特徴、局面、及び利点は、以下の詳細な説明と添付図面とによって、より明白となる。

#### 図面の簡単な説明

[0014] [図1]本発明の実施の形態1に係る半導体記憶装置の全体構成を示すブロック図である。

[図2]図1に示したメモリアレイの一部を抜き出して示す回路図である。

[図3]メモリセルの構造を示す断面図である。

[図4]メモリセルの等価回路図である。

[図5]半導体記憶装置の動作を説明するためのタイミングチャートである。

[図6]ゲートラインをロウレベルからハイレベルに上昇させた時のストレージノードの電位の変化をシミュレーションした結果を示す図である。

[図7]ゲートラインをロウレベルからハイレベルに上昇させた時のストレージノードの電位の変化をシミュレーションした結果を示す図である。

[図8]図1に示したセンスアンプが備えるセンスアンプ回路の構成を示す回路図である。

[図9]データ書き込み動作におけるビットラインへの電圧印加回路の構成を示す回路図である。

[図10]図8に示した負の電源電位を生成するための内部電源発生回路の構成を示すブロック図である。

[図11]図5に示したワードライン及びビットラインの各ハイレベルを生成するための内部電源発生回路の構成を示す回路図である。

[図12]図8に対応させて、センスアンプが備えるセンスアンプ回路の構成を示す回路図である。

[図13]図9に対応させて、ビットラインへの電圧印加回路の構成を示す回路図である。

[図14]図5に対応させて、半導体記憶装置の動作を説明するためのタイミングチャートである。

[図15]図3に対応させて、メモリセルの構造を示す断面図である。

[図16]本発明の実施の形態4に係る半導体記憶装置の上面レイアウトを示す上面図である。

[図17]本発明の実施の形態4に係る半導体記憶装置の上面レイアウトを示す上面図である。

[図18]本発明の実施の形態4に係る半導体記憶装置の上面レイアウトを示す上面図である。

[図19]図16に示したレイアウトに対応する等価回路図である。

[図20]図16に示したラインXX-XXに沿った位置に関する断面構造を示す断面図である。



[図21]図16に示したラインXXI-XXIに沿った位置に関する断面構造を示す断面図である。

[図22]図16に示したラインXXII-XXIIに沿った位置に関する断面構造を示す断面図である。

[図23]半導体メモリとロジック回路とが1チップとして構成されたICチップの構造を模式的に示す上面図である。

[図24]図23に示したメモリセルアレイ領域の基本アレイの構造を模式的に示す図である。

[図25]図23に示したICチップの製造方法を工程順に示す断面図である。

[図26]図23に示したICチップの製造方法を工程順に示す断面図である。

[図27]図23に示したICチップの製造方法を工程順に示す断面図である。

[図28]図23に示したICチップの製造方法を工程順に示す断面図である。

[図29]図23に示したICチップの製造方法を工程順に示す断面図である。

[図30]図23に示したICチップの製造方法を工程順に示す断面図である。

[図31]図30に示した構造の変形例を示す断面図である。

## 符号の説明

- [0015] 1 半導体記憶装置、8 メモリアレイ、9 センスアンプ、11 シリコン基板、12 埋め込み酸化膜層、13 シリコン層、14 SOI基板、20, 22, 24, 58, 60, 62 不純物拡散領域、16, 18, 54, 56 ゲート酸化膜、17, 19, 55, 57 ゲート電極、21, 23a, 59, 61a チャンネル形成領域、23b, 61b 電荷蓄積ノード、50 P型シリコン基板、51 Nウェル、52 Pウェル、STr ストレージトランジスタ、ATr アクセストランジスタ、SN ストレージノード、MC, MCH, MCL メモリセル、BL ビットライン、RBL H, RBL L リファレンスビットライン、SL ソースライン、GL ゲートライン、WL ワードライン、Tr1, Tr2 トランジスタ。

## 発明を実施するための最良の形態

- [0016] 実施の形態1.

図1は、本発明の実施の形態1に係る半導体記憶装置1の全体構成を示すブロック図である。図1を参照して、半導体記憶装置1は、アドレスデコーダ2、入出力回路3、

アドレスバッファ4、クロックバッファ5、制御信号バッファ6、制御回路7、メモリアレイ8、センスアンプ9、及び電源回路10を備えている。

- [0017] 図2は、図1に示したメモリアレイ8の一部を抜き出して示す回路図である。図2を参照して、メモリアレイ8には、複数のメモリセルMCが行列状に配置されている。また、メモリアレイ8には、行方向に沿って延在する複数のゲートラインGL及び複数のワードラインWLと、列方向に沿って延在する複数のビットラインBL及び複数のソースラインSLとが配置されている。行方向に並ぶ複数のメモリセルMCによって、ゲートラインGL及びワードラインWLは共有されており、列方向に並ぶ複数のメモリセルMCによって、ビットラインBL及びソースラインSLは共有されている。ゲートラインGL及びワードラインWLと、ビットラインBL及びソースラインSLとの交点に、メモリセルMCが配置されている。
- [0018] 図1を参照して、アドレスデコーダ2は、行アドレスデコーダと列アドレスデコーダとを有している。行アドレスデコーダは、アドレスバッファ4から供給される行アドレス信号に基づいて、複数のワードラインWL及び複数のゲートラインGLの中からそれぞれ一つのワードラインWL及びゲートラインGLを選択して駆動する。列アドレスデコーダは、アドレスバッファ4から供給される列アドレス信号に基づいて、複数のビットラインBLの中から一つのビットラインBLを選択して駆動する。
- [0019] センスアンプ9は、メモリアレイ8の各列毎に設けられた複数のセンスアンプ回路を有している。センスアンプ回路の構成及び動作については後述する。
- [0020] 入出力回路3は、データ出力動作においては、列アドレスデコーダによって選択されたセンスアンプ回路の出力を、出力データとして半導体記憶装置1の外部に出力する。また、入出力回路3は、データ入力動作においては、半導体記憶装置1の外部から供給された入力データを増幅した後、列アドレスデコーダによって選択されたビットラインBLを経由して、メモリセルMCに入力データを書き込む。
- [0021] アドレスバッファ4、クロックバッファ5、及び制御信号バッファ6は、半導体記憶装置1の外部から供給されたアドレス信号、クロック信号、及び制御信号を、それぞれ制御回路7に伝達する。
- [0022] 電源回路10は、読み出しや書き込み等の半導体記憶装置1の動作に必要な電圧

(ワードラインWLやビットラインBLに印加する電圧等)を生成して、メモリアレイ8等に供給する。

[0023] 図3は、メモリセルMCの構造を示す断面図であり、図4は、メモリセルMCの等価回路図である。図4を参照して、メモリセルMCは、ストレージノードSNを有するストレージトランジスタSTrと、アクセストランジスタATrとが、ノードPNを介して直列に接続された構造を有している。つまり、2つのトランジスタで1つのメモリセルMCが構成されている。

[0024] 図3を参照して、SOI基板14は、シリコン基板11、埋め込み酸化膜層12、及びシリコン層13がこの順に積層された構造を有している。ストレージトランジスタSTrは、N型の不純物拡散領域22、24、チャネル形成領域23a、電荷蓄積ノード23b、ゲート酸化膜18、及びゲート電極19を有している。不純物拡散領域22、24は、シリコン層13の上面から埋め込み酸化膜層12の上面に達して形成されており、シリコン層13の上面内に規定されたチャネル形成領域23aを挟んで、互いに対向している。不純物拡散領域22は、図4に示したノードPNに相当する。ゲート酸化膜18はチャネル形成領域23a上に形成されており、ゲート電極19はゲート酸化膜18上に形成されている。図4に示したストレージノードSNに相当する電荷蓄積ノード23bは、チャネル形成領域23aの下方に形成されている。電荷蓄積ノード23bは、素子分離絶縁膜15によって、隣接する他のメモリセルMCから電氣的に分離されている。つまり、SOIトランジスタのフローティングボディによって、電荷蓄積ノード23bが構成されている。ゲート電極19はゲートラインGLに接続されており、不純物拡散領域24はソースラインSLに接続されている。

[0025] ストレージトランジスタSTrは、電荷蓄積ノード23bにホールが蓄積されている状態(ストレージトランジスタSTrのしきい値電圧が低い状態)と、ホールが蓄積されていない状態(しきい値電圧が高い状態)とを作り出すことにより、それぞれデータ“1”及びデータ“0”を記憶する。

[0026] アクセストランジスタATrは、N型の不純物拡散領域20、22、チャネル形成領域21、ゲート酸化膜16、及びゲート電極17を有している。不純物拡散領域20は、シリコン層13の上面から埋め込み酸化膜層12の上面に達して形成されており、シリコン層1



3の上面内に規定されたチャネル形成領域21を挟んで、不純物拡散領域22に対向している。ゲート酸化膜16はチャネル形成領域21上に形成されており、ゲート電極17はゲート酸化膜16上に形成されている。ゲート電極17はワードラインWLに接続されており、不純物拡散領域20はビットラインBLに接続されている。

[0027] 図5は、半導体記憶装置1の動作を説明するためのタイミングチャートである。合計で8つの動作モードが存在しており、以下、順に説明する。なお、ソースラインSLには電源電位VDDが供給されている。

[0028] (1)データ“0”の書き込み動作(OW)

ビットラインBLをロウレベル(GND)に設定した状態で、ワードラインWLをロウレベル(GND)からハイレベル( $1/2VDD$ )に上昇させ、ゲートラインGLをハイレベル(VDD)からロウレベル(GND)に低下させる。これにより、ノードPNがハイレベル(VDD)からロウレベル(GND)に低下するとともに、ゲートカップリング(ゲートとボディとの間に生じる容量結合)によって、ストレージノードSNがハイレベル(VDD)からロウレベル(GND)に低下する。その結果、ストレージノードSNにホールが蓄積されていない状態(データ“0”)が作り出される。

[0029] 次に、ビットラインBLをロウレベルに維持したまま、ゲートラインGLをロウレベルからハイレベルに上昇させる。このとき、ビットラインBLがロウレベルで、ワードラインWLがハイレベルであるため、アクセストランジスタATrはオンしており、ノードPNはロウレベルに保たれている。従って、ゲートラインGLの電位が若干上昇してストレージトランジスタSTrにチャネルが形成されると、チャネルによってゲートカップリングが阻止され(チャネルブロック)、ゲートラインGLの電位が上昇してもストレージノードSNの電位はそれ以上は上昇しない。つまり、ソースラインSLからストレージトランジスタSTrを介してノードPNに供給されたホールは、アクセストランジスタATrを介してビットラインBLに排出され、ストレージノードSNにホールが蓄積されていない状態(データ“0”)が維持される。

[0030] その後、ワードラインWLをハイレベルからロウレベルに低下させることにより、アクセストランジスタATrはオフし、ノードPNがロウレベルからハイレベルに上昇する。

[0031] (2)データ“0”の読み出し動作(OR)

ビットラインBLをロウレベルに設定し、ワードラインWLをハイレベルに設定することで、アクセストランジスタA<sub>Tr</sub>をオンさせる。この状態で、ゲートラインGLをハイレベルに設定する。ストレージノードSNにホールが蓄積されていない状態(データ“0”)では、ストレージトランジスタS<sub>Tr</sub>のしきい値電圧が高くなっているため、ソースラインSLからストレージトランジスタS<sub>Tr</sub>及びアクセストランジスタA<sub>Tr</sub>を介してビットラインBLに流れる電流の量は少ない。

[0032] アクセストランジスタA<sub>Tr</sub>をオンさせたことによってノードPNの電位は若干低下するが、その後にワードラインWLをロウレベルに低下させてアクセストランジスタA<sub>Tr</sub>をオフさせると、ノードPNの電位は再びハイレベルに上昇する。

[0033] (3)データ“0”の保持動作(0H)

ビットラインBLをロウレベルからハイレベル( $1/2V_{DD}$ )に上昇させる。これにより、ワードラインWLがハイレベルであっても、ビットラインBLとワードラインWLとの間に電位差は生じないため、アクセストランジスタA<sub>Tr</sub>はオンしない。従って、ソースラインSLからビットラインBLに電流が流れず、データ“0”が保持される。

[0034] (4)データ“0”のリフレッシュ動作(0Ref)

リフレッシュ動作の実行には、書き込みや読み出し等の通常のコマンドの2倍の期間を要する。まず、リフレッシュ対象のメモリセルMCに対して上記の読み出し動作を実行し、その結果得られたデータ“0”を、図1に示した入出力回路3が備えるライトバッファに保存する。その後、上記の書き込み動作を実行し、ライトバッファに保存されているデータと同じデータ(つまりデータ“0”)を、リフレッシュ対象のメモリセルMCに書き込む。

[0035] (5)データ“1”の書き込み動作(1W)

ビットラインBLをロウレベルに設定した状態で、ワードラインWLをロウレベルからハイレベルに上昇させ、ゲートラインGLをハイレベルからロウレベルに低下させる。これにより、ノードPNがハイレベルからロウレベルに低下するとともに、ゲートカップリングによって、ストレージノードSNがハイレベルからロウレベルに低下する。その結果、ストレージノードSNにホールが蓄積されていない状態(データ“0”)が作り出される。ここまでの動作は、データ“0”の書き込み動作と同様である。

[0036] 次に、ビットラインBLをロウレベルからハイレベルに上昇させた後、ゲートラインGLをロウレベルからハイレベルに上昇させる。このとき、ビットラインBL及びワードラインWLがいずれもハイレベルであるため、アクセストランジスタATrはオフしており、ノードPNの電位はフローティング状態である。この状態では、ゲートラインGLが上昇してもストレージトランジスタSTrにはチャネルが形成されないため、上記のチャネルブロックがされない。従って、ゲートラインGLの電位が上昇すると、ゲートカップリングによってストレージノードSNの電位も上昇する。つまり、ソースラインSLからストレージノードSNに供給されたホールは、ビットラインBLに排出されずにストレージノードSNに蓄積され、データ“1”の状態が作り出される。また、フローティング状態であるノードPNの電位は、ストレージノードSNの電位の上昇に連動して、ロウレベルからハイレベルに上昇する。

[0037] (6)データ“1”の読み出し動作(1R)

ビットラインBLをロウレベルに設定し、ワードラインWLをハイレベルに設定することで、アクセストランジスタATrをオンさせる。この状態で、ゲートラインGLをハイレベルに設定する。ストレージノードSNにホールが蓄積されている状態(データ“1”)では、ストレージトランジスタSTrのしきい値電圧が低くなっているため、ソースラインSLからストレージトランジスタSTr及びアクセストランジスタATrを介してビットラインBLに流れる電流の量は多い。

[0038] (7)データ“1”の保持動作(1H)

データ“0”の保持動作と同様に、ビットラインBLをロウレベルからハイレベルに上昇させる。これにより、ワードラインWLがハイレベルであっても、ビットラインBLとワードラインWLとの間に電位差は生じないため、アクセストランジスタATrはオンしない。従って、ソースラインSLからビットラインBLに電流が流れず、データ“1”が保持される。

[0039] (8)データ“1”のリフレッシュ動作(1Ref)

データ“0”のリフレッシュ動作と同様に、まず、リフレッシュ対象のメモリセルMCに対して上記の読み出し動作を実行し、その結果得られたデータ“1”を、図1に示した入出力回路3が備えるライトバッファに保存する。その後、上記の書き込み動作を実行し、ライトバッファに保存されているデータと同じデータ(つまりデータ“1”)を、リフレ

ッシュ対象のメモリセルMCに書き込む。

- [0040] 図6, 7は、書き込み動作において、ゲートラインGLをロウレベル(0V)からハイレベル(1.2V)に上昇させた時のストレージノードSNの電位の変化をシミュレーションした結果を示す図である。図6がデータ“0”の書き込み動作に対応し、図7がデータ“1”の書き込み動作に対応する。横軸のX( $\mu\text{m}$ )に関し、Xがゼロの付近はストレージトランジスタSTrのボディ領域(図3に示した電荷蓄積ノード23b、即ちストレージノードSN)に相当し、Xが負の領域はストレージトランジスタSTrのソース領域(図3に示した不純物拡散領域22、即ちノードPN)に相当し、Xが正の領域はストレージトランジスタSTrのドレイン領域(図3に示した不純物拡散領域24)に相当する。なお、ストレージトランジスタSTrのチャンネル長は0.1 $\mu\text{m}$ である。縦軸のPotential(V)は、各領域の最深部付近の電位である。
- [0041] 図6を参照して、データ“0”の書き込み動作においては、アクセストランジスタATrがオンされる結果、ストレージトランジスタSTrのソース領域の電位は0Vに固定される。但し、ビルトインポテンシャルが加味されるため、図6では0Vではなく0.53Vに固定されている。この場合、ゲートラインGLをロウレベル(0V)からハイレベル(1.2V)に上昇させても、ストレージトランジスタSTrのボディ領域の電位は、0Vから0.2V程度までしか上昇していないことが分かる。
- [0042] 一方、図7を参照して、データ“1”の書き込み動作においては、アクセストランジスタATrがオフされる結果、ストレージトランジスタSTrのソース領域の電位はフローティング状態である。この場合、ゲートラインGLをロウレベル(0V)からハイレベル(1.2V)に上昇させると、ストレージトランジスタSTrのボディ領域の電位は、0Vから0.7V程度まで大きく上昇していることが分かる。また、ボディ領域の電位の上昇に連動して、ストレージトランジスタSTrのソース領域の電位も、0.4Vから1.2V近くまで上昇していることが分かる。
- [0043] 図8は、図1に示したセンスアンプ9が備えるセンスアンプ回路の構成を示す回路図である。図1に示したメモリアレイ8には、ストレージトランジスタSTr及びアクセストランジスタATrを有する通常のメモリセルMCのほかに、メモリセルMCH, MCLが設けられている。メモリセルMCHは、書き込み動作時に必ずデータ“1”が書き込まれること

によってしきい値電圧がロウレベルに設定されたストレージトランジスタSTrHと、これに直列に接続されたアクセストランジスタATrとを有している。メモリセルMCLは、書き込み動作時に必ずデータ“0”が書き込まれることによってしきい値電圧がハイレベルに設定されたストレージトランジスタSTrLと、これに直列に接続されたアクセストランジスタATrとを有している。メモリセルMCHはリファレンスビットラインRBLHに接続されており、メモリセルMCLはリファレンスビットラインRBLに接続されている。

[0044] メモリセルMC, MCH, MCLは、いずれも正の電源電位VDD(例えば1.2V)に接続されている。また、メモリセルMC, MCH, MCLは、いずれもトランジスタTr1, Tr2を介して、負の電源電位VBB(-VDD、例えば-1.2V)に接続されている。例えば、電源電位VDDと電源電位VBBとの間において、電源電位VDD側から順にストレージトランジスタSTr、アクセストランジスタATr、トランジスタTr1、及びトランジスタTr2が直列に接続されている。トランジスタTr1は、ドレインとゲートとが互いに接続されており、いわゆるしきい値接続を構成している。トランジスタTr2についても同様である。トランジスタTr1, Tr2は、ビットラインBL及びリファレンスビットラインRBLH, RBLの各読み出し電圧を、いずれも0V付近に設定することを目的として配設されている。

[0045] また、メモリセル回路は、2対の平行入力線を有する差動増幅回路を備えており、一方の平行入力線には、リファレンスビットラインRBLHの電位Vblh及びリファレンスビットラインRBLの電位Vblが入力され、他方の平行入力線には、ビットラインBLの電位Vblが入力される。ストレージトランジスタSTrHはしきい値電圧が低く、ストレージトランジスタSTrLはしきい値電圧が高いため、相対的に、 $V_{blh} > V_{bl}$ となる。また、メモリセルMCがデータ“0”を記憶している場合、即ちストレージトランジスタSTrのしきい値電圧がハイレベルである場合は、 $V_{bl} = V_{bl}$ となり、逆に、メモリセルMCがデータ“1”を記憶している場合、即ちストレージトランジスタSTrのしきい値電圧がロウレベルである場合は、 $V_{bl} = V_{blh}$ となる。差動増幅回路ではVblh, VblとVblとが比較されて、 $V_{bl} = V_{bl}$ である場合は差動増幅回路からハイレベルの信号が出力され、 $V_{bl} = V_{blh}$ である場合は差動増幅回路からロウレベルの信号が出力される。つまり、ストレージトランジスタSTrのしきい値電圧がハイレベルである場合には、差



動増幅回路からハイレベルの信号が出力され、一方、ストレージトランジスタSTrのしきい値電圧がロウレベルである場合には、差動増幅回路からロウレベルの信号が出力される。

[0046] このような構成によって、メモリセルMCに記憶されているデータを、センスアンプ回路によって誤りなく検出することができる。

[0047] 図9は、データ書き込み動作におけるビットラインBLへの電圧印加回路(書き込み回路)の構成を示す回路図である。図5に示したように、データ“0”を書き込む場合にはビットラインBLはロウレベルに設定し、データ“1”を書き込む場合にはビットラインBLはハイレベルに設定する必要がある。図9を参照して、書き込み許可信号WEがハイレベルの場合において、書き込みデータWDが“0”のときはビットラインBLにGND(0V)が印加され、書き込みデータWDが“1”のときはビットラインBLにVBL(0.6V)が印加される。また、データ読み出し動作においては、書き込み許可信号WEがロウレベルとなる結果、電圧印加回路の出力はハイインピーダンス状態となる。

[0048] このような構成により、電圧印加回路は、書き込みデータWDに応じてビットラインBLの電位を確実に異ならせることができ、誤ったデータがメモリセルMCに書き込まれることを防止することができる。

[0049] 図10は、図8に示した負の電源電位VBB(例えば-1.2V)を生成するための内部電源発生回路の構成を示すブロック図である。図10に示す内部電源発生回路は、図1に示した電源回路10の一部である。検出器80は、-1.2Vの基準電圧と、チャージポンプ82の出力電圧(VBB)とを比較し、検出器80の検出結果に基づいて、リングオシレータ81がパルスを発生してチャージポンプ82を制御する。

[0050] 図11は、図5に示したワードラインWL及びビットラインBLの各ハイレベル( $1/2V_{DD}$ )を生成するための内部電源発生回路(降圧回路)の構成を示す回路図である。図11に示す内部電源発生回路は、図1に示した電源回路10の一部である。電源電位VDDをトランジスタ90, 91で分圧することによって得られた $1/2V_{DD}$ が、基準電圧として誤差増幅器92に入力される。誤差増幅器92の出力には、PMOSTランジスタから成るドライバトランジスタ93が接続されており、ドライバトランジスタ93から $1/2V_{DD}$ が出力されるとともに、この $1/2V_{DD}$ は誤差増幅器92に負帰還されている。

- [0051] このように本実施の形態1に係る半導体記憶装置1によれば、ストレージトランジスタSTrとアクセストランジスタATrとによってメモリセルMCを構成することができるため、従来のDRAMで必要であったメモリキャパシタが不要となる。しかも、ストレージトランジスタSTr及びアクセストランジスタATrのディメンジョン(レイアウトサイズや形状)は、通常のNMOSTランジスタのディメンジョンと同様であり、特殊な構造を必要としない。従って、製造工程数及びフォトマスクの必要枚数を削減でき、製造コストの低減及びチップ面積の削減を図ることが可能となる。
- [0052] また、特殊なプロセスを必要とせずに、汎用されているMOSプロセスによって半導体記憶装置1を製造できるため、上記非特許文献1に開示されている半導体記憶装置と比較して、製造プロセスの簡略化及び製造コストの低減を図ることができる。
- [0053] さらに、データ“1”を記憶している状態とデータ“0”を記憶している状態とで、ストレージトランジスタSTrのしきい値電圧を大きく異ならせることができるため、上記特許文献1に開示された半導体記憶装置と比較して、安定した動作を実現することが可能となる。
- [0054] また、ストレージトランジスタSTr及びアクセストランジスタATrがSOITランジスタによって構成されており、寄生容量が小さいため、バルク基板を用いる場合と比較すると、動作の高速化及び消費電力の低減を図ることができる。さらに、ストレージノードSNがアクセストランジスタATr等と電気的に分離されているため、ノイズに対する耐性が高い。加えて、ストレージノードSNは周囲の大半が素子分離絶縁膜15によって囲まれていることから、ゲートカップリングによる効果が大きく、データ“1”の状態とデータ“0”の状態とでストレージトランジスタSTrのしきい値電圧の差を大きくできるという効果も得られる。
- [0055] 実施の形態2.
- 図12は、図8に対応させて、センスアンプ9が備えるセンスアンプ回路の構成を示す回路図である。本実施の形態2に係る半導体記憶装置1の全体構成及びメモリセルMCの構成は、上記実施の形態1と同様である。図12を参照して、電源電位VDDとグランド電位GNDとの間には、電源電位VDD側から順にストレージトランジスタSTr、アクセストランジスタATr、トランジスタTr1、及びトランジスタTr2が直列に接続さ

れている。ストレージトランジスタSTrH, STrLについても同様である。トランジスタTr1, Tr2の各ゲートは、トランジスタTr1のドレインに共通に接続されており、いわゆるしきい値接続を構成している。

[0056] 図13は、図9に対応させて、ビットラインBLへの電圧印加回路の構成を示す回路図である。図9のVBL(0.6V)に代えて、VDD(1.2V)が採用されている点が、上記実施の形態1と異なる。

[0057] 図14は、図5に対応させて、半導体記憶装置1の動作を説明するためのタイミングチャートである。図5ではワードラインWL及びビットラインBLの各ハイレベルが $1/2$ VDDであったのに対し、図14ではVDDである点が、上記実施の形態1と異なる。

[0058] このように本実施の形態2に係る半導体記憶装置1によれば、負の電源電位VBB(−1.2V)の使用を回避できるため、図10に示した内部電圧発生回路が不要となる。また、これに伴い、ワードラインWL及びビットラインBLの各ハイレベルが $1/2$ VDDではなくVDDとなるため、図11に示した内部電圧発生回路も不要となる。従って、上記実施の形態1と比較して、製造コストの低減及びチップ面積の削減を図ることが可能となる。

[0059] また、図8に示した構成ではトランジスタTr1, Tr2ごとにゲートドレイン間の配線接続が必要となるが、図12に示した構成ではその必要がないため、メモリセルトランジスタ(ストレージトランジスタSTr及びアクセストランジスタATr)と同様の形状のトランジスタによって、トランジスタTr1, Tr2を構成することができる。従って、プロセスのばらつきに起因するメモリセルトランジスタとトランジスタTr1, Tr2との特性のばらつきを抑制できるため、より安定した読み出し動作を実現することが可能となる。

[0060] 実施の形態3.

図15は、図3に対応させて、メモリセルMCの構造を示す断面図である。本実施の形態3に係る半導体記憶装置1の全体構成は、上記実施の形態1, 2と同様である。上記実施の形態1ではSOI基板14を用いてストレージトランジスタSTr及びアクセストランジスタATrが形成されたが、本実施の形態3ではバルク基板を用いて構成されている点が、上記実施の形態1と異なる。

[0061] 図15を参照して、P型シリコン基板50上にはNウェル51が形成されており、Nウェ

ル51上にはPウェル52が形成されている。Pウェル52は、Nウェル51によって、P型シリコン基板50と電氣的に分離されている。隣接するメモリセルMC同士は、Pウェル52の上面からNウェル51の上面にまで到達するSTI(Shallow Trench Isolation)53によって、互いに電氣的に分離されている。このため、STI53の分離幅を大きくする必要がなく、チップ面積の増大が回避されている。

- [0062] ストレージトランジスタSTrは、N型の不純物拡散領域60、62、チャネル形成領域61a、電荷蓄積ノード61b、ゲート酸化膜56、及びゲート電極57を有している。不純物拡散領域60、62は、Pウェル52の上面内に規定されたチャネル形成領域61aを挟んで、互いに対向している。ゲート酸化膜56はチャネル形成領域61a上に形成されており、ゲート電極57はゲート酸化膜56上に形成されている。電荷蓄積ノード61bは、チャネル形成領域61aの下方に形成されている。電荷蓄積ノード61bは、STI53によって、隣接する他のメモリセルMCから電氣的に分離されている。ゲート電極57はゲートラインGLに接続されており、不純物拡散領域62はソースラインSLに接続されている。
- [0063] アクセストランジスタATrは、N型の不純物拡散領域58、60、チャネル形成領域59、ゲート酸化膜54、及びゲート電極55を有している。不純物拡散領域58は、Pウェル52の上面内に規定されたチャネル形成領域59を挟んで、不純物拡散領域60に対向している。ゲート酸化膜54はチャネル形成領域59上に形成されており、ゲート電極55はゲート酸化膜54上に形成されている。ゲート電極55はワードラインWLに接続されており、不純物拡散領域58はビットラインBLに接続されている。
- [0064] なお、各部の導電型を逆にすることにより、N型シリコン基板を用いて、ストレージトランジスタSTr及びアクセストランジスタATrをPMOSTランジスタによって構成することもできる。
- [0065] このように本実施の形態3に係る半導体記憶装置1によれば、SOI基板ではなくバルク基板を用いてストレージトランジスタSTr及びアクセストランジスタATrが形成されている。従って、一般的にバルク基板よりも高価なSOI基板を用いる場合と比較すると、コストの低減を図ることができる。
- [0066] 実施の形態4.



図16～18は、本発明の実施の形態4に係る半導体記憶装置の上面レイアウトを示す上面図である。各層のレイアウトが明らかになるように、図16からビットラインBLを省略したものが図17に相当し、図17からワードラインWL、ゲートラインGL、及びソースラインSLを省略したものが図18に相当する。また、図19は、図16に示したレイアウトに対応する等価回路図である。さらに、図20, 21, 22は、それぞれ図16に示したラインXX-XX, XXI-XXI, XXII-XXIIに沿った位置に関する断面構造を示す断面図である。

- [0067] 図18を参照して、素子分離領域IR及び素子形成領域ARは、いずれも第1方向に沿って延在して形成されている。素子形成領域AR内には、図21, 22に示された素子分離絶縁膜15が形成されている。つまり、素子分離絶縁膜15が第1方向に沿って延在して形成されることにより、素子分離絶縁膜15によって、第1方向に延在する素子形成領域ARが規定される。素子形成領域ARは、素子分離絶縁膜15によって分断されることなく、第1方向に沿って連続的に延在している。
- [0068] 図17を参照して、ワードラインWL、ゲートラインGL、及びソースラインSLは、いずれも第2方向に沿って延在して形成されている。第2方向は、第1方向に垂直な方向である。ソースラインSLの両側にゲートラインGLが形成されており、ゲートラインGLの外側(ソースラインSLとは反対側)にワードラインWLが形成されている。ワードラインWLの外側(ゲートラインGLとは反対側)には、隣のワードラインWLが形成されている。ソースラインSLは、多層配線構造における第1層配線として形成されており、コンタクトプラグCP2を介して素子形成領域ARに接続されている。
- [0069] 図16を参照して、ビットラインBLは、素子形成領域ARの上方において、第1方向に沿って延在して形成されている。ビットラインBLは、多層配線構造における第2層配線として形成されており、コンタクトプラグCP1を介して素子形成領域ARに接続されている。なお、ビットラインBLを第1層配線として形成し、ソースラインSLを第2層配線として形成することも可能である。
- [0070] ビットラインBLに沿って、複数のメモリセルMC (MCa～MCf) が配置されている。第1方向に並ぶ複数のメモリセルMCによって、ビットラインBLが共有されている。また、第1方向に沿って互いに隣接する2つのメモリセルMCによって、1本のソースライ



ンSLが共有されている。図16に示した例では、ソースラインSLは、例えば左端のメモリセルMCaと中央のメモリセルMCbとによって共有されている。また、ワードラインWL、ゲートラインGL、及びソースラインSLは、第2方向に並ぶ複数のメモリセルMCによって共有されている。

- [0071] 図19を参照して、上記各実施の形態1～3と同様に、メモリセルMCはストレージトランジスタSTrとアクセストランジスタATrとを有している。ストレージトランジスタSTr及びアクセストランジスタATrの構造及び動作は、上記各実施の形態1～3と同様である。
- [0072] 図20を参照して、SOI基板14は、シリコン基板11、埋め込み酸化膜層12、及びシリコン層13がこの順に積層された構造を有している。ストレージトランジスタSTrは、N型の不純物拡散領域22、24、チャネル形成領域23a、電荷蓄積ノード23b、ゲート酸化膜18、及び、図16、17に示したゲートラインGLに相当するゲート電極19を有している。不純物拡散領域22、24は、シリコン層13の上面から埋め込み酸化膜層12の上面に達して形成されており、シリコン層13の上面内に規定されたチャネル形成領域23aを挟んで、互いに対向している。ゲート酸化膜18はチャネル形成領域23a上に形成されており、ゲート電極19はゲート酸化膜18上に形成されている。電荷蓄積ノード23bは、チャネル形成領域23aの下方に形成されている。
- [0073] アクセストランジスタATrは、N型の不純物拡散領域20、22、チャネル形成領域21、ゲート酸化膜16、及び、図16、17に示したワードラインWLに相当するゲート電極17を有している。不純物拡散領域20は、シリコン層13の上面から埋め込み酸化膜層12の上面に達して形成されており、シリコン層13の上面内に規定されたチャネル形成領域21を挟んで、不純物拡散領域22に対向している。ゲート酸化膜16はチャネル形成領域21上に形成されており、ゲート電極17はゲート酸化膜16上に形成されている。
- [0074] ゲート電極17、19の側面には、絶縁膜から成るサイドウォールスペーサ104が形成されている。不純物拡散領域20の上面上にはシリサイド層100が形成されており、不純物拡散領域22の上面上にはシリサイド層102が形成されており、不純物拡散領域24の上面上にはシリサイド層103が形成されており、ゲート電極17、19の上面上

にはシリサイド層101が形成されている。

- [0075] 層間絶縁膜105内には、シリサイド層100に接続されたコンタクトプラグ106と、シリサイド層103に接続されたコンタクトプラグ107とが形成されている。層間絶縁膜105上には、コンタクトプラグ106に接続された金属膜108と、コンタクトプラグ107に接続された金属配線109とが形成されている。コンタクトプラグ107は、図17に示したコンタクトプラグCP2に相当する。金属配線109は、図16, 17に示したソースラインSLに相当する。
- [0076] 層間絶縁膜110内には、金属膜108に接続されたコンタクトプラグ111が形成されている。層間絶縁膜110上には、コンタクトプラグ111に接続された金属配線112が形成されている。コンタクトプラグ106, 111及び金属膜108は、図16に示したコンタクトプラグCP1に相当する。金属配線112は、図16に示したビットラインBLに相当する。
- [0077] 図21, 22を参照して、いわゆるフルレンチ型の素子分離絶縁膜15が、シリコン層13の上面から埋め込み酸化膜層12の上面にまで到達して形成されている。つまり、素子分離絶縁膜15は、埋め込み酸化膜層12の上面に接触する底面を有している。
- [0078] 図23は、半導体メモリとロジック回路とが1チップとして構成されたICチップ120の構造を模式的に示す上面図である。ICチップ120は、本発明に係る半導体記憶装置が形成されたメモリセルアレイ領域121と、SRAMが形成されたSRAM領域122と、アナログ回路が形成されたアナログ回路領域123と、ロジック回路が形成されたロジック回路領域124とを有している。また、ICチップ120の周縁には、複数のI/Oパッド125が並んで形成されている。
- [0079] メモリセルアレイ領域121は、例えば、図1に示した半導体記憶装置1に相当する。メモリセルアレイ領域121内には、アドレスデコーダ2、入出力回路3、バッファ回路126、制御回路7、メモリアレイ8、センスアンプ9、及び電源回路10が形成されている。バッファ回路126は、図1に示したアドレスバッファ4、クロックバッファ5、及び制御信号バッファ6に相当する。
- [0080] 図24は、図23に示したメモリセルアレイ領域121に関して、64kbの基本アレイの構造を模式的に示す図である。行方向(図24では縦方向)に沿って延在する合計6

4本のワードラインWL0～WL63が、列方向(図24では横方向)に並んで配設されている。また、列方向に沿って延在する合計1024本のビットラインBL0～BL1023が、行方向に並んで配設されている。図24に示した複数のソースラインSLは端部において互いに繋がっており、ソースラインSLには電源電位VDDが印加されている。1つのコラムセクタ131には4本のビットラインBLが接続されており、コラムセクタ131は、センスアンプと書き込みドライバとを含む回路130に接続されている。また、図8に示したリファレンスビットラインRBLH, RBLLに相当するリファレンスビットラインRBL1, RBL0と、図8に示したトランジスタTr1, Tr2が形成されたミラーメモリセル領域MMCとが設けられている。

[0081] 図25～30は、図23に示したICチップ120の製造方法を工程順に示す断面図である。図25～30では、図22に対応するメモリセルアレイ領域の構造と、周辺回路領域の構造とを並べて図示している。ここで、「メモリセルアレイ領域」は、図23に示したメモリアレイ8に相当する。また、「周辺回路領域」は、図23に示したSRAM領域122、アナログ回路領域123、及びロジック回路領域124のほか、図23に示したメモリセルアレイ領域121内における、アドレスデコーダ2、入出力回路3、バッファ回路126、制御回路7、センスアンプ9、及び電源回路10に相当する。

[0082] 図25を参照して、まず、周知のトレンチ分離技術によって、SOI基板14の周辺回路領域におけるシリコン層13の上面内に、いわゆるパーシャルトレンチ型の素子分離絶縁膜140を形成する。また、SOI基板14のメモリセルアレイ領域におけるシリコン層13の上面内に、いわゆるフルトレンチ型の素子分離絶縁膜15を形成する。素子分離絶縁膜140は、埋め込み酸化膜層12の上面に到達することなくシリコン層13の上面内に形成されている。つまり、素子分離絶縁膜140は、埋め込み酸化膜層12の上面に接触しない底面を有している。

[0083] 図26を参照して、次に、写真製版法によって所定の開口パターンを有するフォトリジスト141をシリコン層13上に形成した後、リン又はヒ素等のN型不純物をイオン注入することにより、フォトリジスト141によって覆われていない部分のシリコン層13内に、Nウェル142を形成する。その後、フォトリジスト141を除去する。

[0084] 図27を参照して、次に、写真製版法によって所定の開口パターンを有するフォトレ

ジスト143をシリコン層13上に形成した後、ボロン等のP型不純物をイオン注入することにより、フォトレジスト143によって覆われていない部分のシリコン層13内に、Pウェル144を形成する。その後、フォトレジスト143を除去する。

[0085] 図28を参照して、次に、熱酸化法によってゲート酸化膜145, 18を形成する。次に、ポリシリコン膜を全面に堆積した後、そのポリシリコン膜をパターニングすることにより、ゲート電極146, 19を形成する。次に、シリコン窒化膜を全面に堆積した後、そのシリコン窒化膜をエッチバックすることにより、サイドウォールスペーサ104を形成する。図28には表れないが、ゲート電極19の側面にもサイドウォールスペーサ104が併せて形成される(図20参照)。

[0086] 図29を参照して、次に、写真製版法及びイオン注入法によって、Nウェル142内にP型の不純物拡散領域148を形成する。次に、写真製版法及びイオン注入法によって、Pウェル144内にN型の不純物拡散領域147を形成する。図29には表れないが、不純物拡散領域147を形成する際、メモリセルアレイ領域内には不純物拡散領域20, 22, 24が併せて形成される(図20参照)。

[0087] 図30を参照して、次に、シリコン酸化膜から成るシリサイドプロテクション膜を必要に応じて所望の領域に形成した後、露出しているシリコンをチタン又はコバルト等の金属を用いてシリサイド化することにより、シリサイド層149, 150, 101を形成する。図30には表れないが、シリサイド層149, 150, 101を形成する際、メモリセルアレイ領域内にはシリサイド層100, 102, 103が併せて形成される(図20参照)。

[0088] 図25～30から明らかなように、本実施の形態4に係るICチップ120は、特殊なプロセスを必要とせずに、汎用されているMOSプロセスによって製造することができる。上記実施の形態1に係る半導体記憶装置1も、図25～30と同様のプロセスによって製造することができる。そのため、上記実施の形態1に係る半導体記憶装置1についても、汎用されているMOSプロセスによって製造することが可能である。

[0089] 図31は、図30に示した構造の変形例を示す断面図である。周辺回路領域内にはNウェル142が形成されておらず、Pウェル144のみが形成されている。また、図30に示したP型の不純物拡散領域148を有するPMOSの代わりに、N型の不純物拡散領域147を有するNMOSが形成されている。



- [0090] 図16～18に示したように、本実施の形態4に係る半導体記憶装置では、素子形成領域ARが第1方向に沿って連続的に延在して形成されており、ビットラインBLは第1方向に沿って延在し、ゲートラインGL、ワードラインWL、及びソースラインSLは第2方向に沿って延在している。そして、第1方向に並んで配置された複数のメモリセルMCによってビットラインBLが共有され、また、第1方向に隣接する2つのメモリセルMCによってソースラインSLが共有される。
- [0091] 従って、図3に示した構造と比較すると、第1方向に隣接するメモリセルMC間の素子分離絶縁膜15の形成を省略できる分だけ、メモリセルアレイ領域の面積を削減することができる。しかも、第1方向に隣接する2つのメモリセルMCによって1本のソースラインSLが共有されるため、メモリセルアレイ領域の面積をより削減することができる。
- [0092] また、図2, 3を参照して、第1方向に隣接するメモリセルMC間に素子分離絶縁膜15が形成される構造によると、一方のメモリセルMCの不純物拡散領域24と、素子分離絶縁膜15と、他方のメモリセルMCの不純物拡散領域20とによって、寄生キャパシタ構造が形成される。そのため、素子分離絶縁膜15を介した電流リークを防止するために素子分離絶縁膜15の分離幅を広くしたり、等電位のソースラインSL同士が互いに隣接するようにソースラインSL及びビットラインBLの並ぶ順序を入れ替える等の工夫が必要となる。これに対し、本実施の形態4に係る半導体記憶装置によると、第1方向に隣接するメモリセルMC間に素子分離絶縁膜15が形成されていないため、そのような工夫をする必要がない。
- [0093] また、図30, 31に示したように、メモリセルアレイ領域内にはフルトレンチ型の素子分離絶縁膜15が形成され、周辺回路領域内にはパーシャルトレンチ型の素子分離絶縁膜140が形成されている。従って、メモリセルアレイ領域では、第2方向に隣接するメモリセルMC同士を素子分離絶縁膜15によって電氣的に完全に分離しつつ、周辺回路領域では、NMOS及びPMOSの各ボディ領域の電位を固定することが可能となる。
- [0094] 本発明は詳細に説明されたが、上記した説明は、全ての局面において、例示であって、本発明がそれに限定されるものではない。例示されていない無数の変形例が、



本発明の範囲から外れることなく想定され得るものと解される。

## 請求の範囲

- [1] 行列状に配置された複数のメモリセル(MC)と、  
ゲートライン(GL)、ワードライン(WL)、ビットライン(BL)、及びソースライン(SL)とを備え、  
前記複数のメモリセル(MC)のそれぞれは、  
第1のチャネル形成領域(23a)を挟んで対向する第1の不純物拡散領域(22)及び第2の不純物拡散領域(24)と、前記第1のチャネル形成領域(23a)の上方に形成された第1のゲート電極(19)と、前記第1のチャネル形成領域(23a)の下方に形成された電荷蓄積ノード(23b)とを含むストレージトランジスタ(STr)と、  
前記ストレージトランジスタ(STr)に直列に接続され、前記第1の不純物拡散領域(22)と、第2のチャネル形成領域(21)を挟んで前記第1の不純物拡散領域(22)に対向する第3の不純物拡散領域(20)と、前記第2のチャネル形成領域(21)の上方に形成された第2のゲート電極(17)とを含むアクセストランジスタ(ATr)とを有し、  
前記第2の不純物拡散領域(24)は前記ソースライン(SL)に、前記第3の不純物拡散領域(20)は前記ビットライン(BL)に、前記第1のゲート電極(19)は前記ゲートライン(GL)に、前記第2のゲート電極(17)は前記ワードライン(WL)に、それぞれ接続され、  
前記アクセストランジスタ(ATr)のオン／オフによって前記第1の不純物拡散領域(22)の電位を一定電位又はフローティング状態に切り替えることにより、前記電荷蓄積ノード(23b)の電位を制御し、それによって前記ストレージトランジスタ(STr)のしきい値電圧がハイレベル又はロウレベルに設定される、半導体記憶装置。
- [2] 前記アクセストランジスタ(ATr)をオンさせた状態で前記第1のゲート電極(19)の電位をロウレベルからハイレベルに上昇させることによって、前記ストレージトランジスタ(STr)の前記しきい値電圧がハイレベルに設定され、  
前記アクセストランジスタ(ATr)をオフさせた状態で前記第1のゲート電極(19)の電位をロウレベルからハイレベルに上昇させることによって、前記ストレージトランジスタ(STr)の前記しきい値電圧がロウレベルに設定される、請求項1に記載の半導体

記憶装置。

- [3] 半導体基板(11)、絶縁層(12)、及び半導体層(13)がこの順に積層されたSOI基板(14)をさらに備え、

前記第1～第3の不純物拡散領域(22, 24, 20)、並びに前記第1及び第2のチャネル形成領域(23a, 21)は、いずれも前記半導体層(13)内に形成されており、

前記電荷蓄積ノード(23b)は、前記半導体層(13)の一部として構成される、請求項1に記載の半導体記憶装置。

- [4] 第1導電型の半導体基板(50)、第2導電型の第1のウェル(51)、及び前記第1導電型の第2のウェル(52)がこの順に積層された基板をさらに備え、

前記第1～第3の不純物拡散領域(60, 62, 58)、並びに前記第1及び第2のチャネル形成領域(61a, 59)は、いずれも前記第2のウェル(52)の上面内に形成されており、

前記電荷蓄積ノード(61b)は、前記第2のウェル(52)の一部として構成される、請求項1に記載の半導体記憶装置。

- [5] 前記ストレージトランジスタ(STr)の前記しきい値電圧がハイレベルに設定された第1のメモリセル(MCL)と、

前記第1のメモリセル(MCL)に接続された第1のリファレンスビットライン(RBLL)と

、  
前記ストレージトランジスタ(STr)の前記しきい値電圧がロウレベルに設定された第2のメモリセル(MCH)と、

前記第2のメモリセル(MCH)に接続された第2のリファレンスビットライン(RBLH)と、

前記第1及び第2のリファレンスビットライン(RBLL, RBLH)の各電位と、読み出し対象である読み出しメモリセル(MC)に接続されたビットライン(BL)の電位とを比較することにより、前記読み出しメモリセル(MC)が有する前記ストレージトランジスタ(STr)の前記しきい値電圧がハイレベルであるかロウレベルであるかを検出するセンスアンプ回路と

をさらに備える、請求項1に記載の半導体記憶装置。

- [6] 電源電位(VDD)とグランド電位(GND)との間に、前記電源電位(VDD)側から順に前記ストレージトランジスタ(STr)、前記アクセストランジスタ(ATr)、第1のトランジスタ(Tr1)、及び第2のトランジスタ(Tr2)が直列に接続されており、  
前記第1及び第2のトランジスタ(Tr1, Tr2)の各ゲートは、前記第1のトランジスタ(Tr1)のドレインに接続されている、請求項5に記載の半導体記憶装置。
- [7] 書き込み対象である書き込みメモリセルが有する前記ストレージトランジスタ(STr)の前記しきい値電圧をハイレベルに設定する場合には、前記書き込みメモリセルに接続されたビットライン(BL)にロウレベルの電位(GND)を印加し、前記書き込みメモリセルが有する前記ストレージトランジスタ(STr)の前記しきい値電圧をロウレベルに設定する場合には、前記書き込みメモリセルに接続された前記ビットライン(BL)にハイレベルの電位(VBL)を印加する書き込み回路をさらに備える、請求項1に記載の半導体記憶装置。
- [8] 半導体基板(11)、絶縁層(12)、及び半導体層(13)がこの順に積層されたSOI基板(14)をさらに備え、  
前記SOI基板(14)は、前記複数のメモリセル(MC)が形成されたメモリセルアレイ領域と、周辺回路が形成された周辺回路領域とを有しており、  
前記メモリセルアレイ領域内には、前記絶縁層(12)の上面に接触する底面を有する第1の素子分離絶縁膜(15)が形成されており、  
前記周辺回路領域内には、前記絶縁層(12)の上面に接触しない底面を有する第2の素子分離絶縁膜(140)が形成されている、請求項1に記載の半導体記憶装置。
- [9] 第1方向に沿って延在する第1の素子分離絶縁膜(15)が形成された主面を有し、前記第1方向に沿って延在する素子形成領域(AR)が前記第1の素子分離絶縁膜(15)によって規定された基板(14)と、  
前記第1方向に沿って延在するビットライン(BL)と、  
いずれも第2方向に沿って延在する、複数のゲートライン(GL)、複数のワードライン(WL)、及び複数のソースライン(SL)と、  
前記素子形成領域(AR)内で前記第1方向に沿って並んで配置された複数のメモリセル(MC)と

を備え、

前記複数のメモリセル(MC)によって前記ビットライン(BL)が共有され、

前記複数のメモリセル(MC)のうちの前記第1方向に沿って互いに隣接する2つのメモリセル(MC)によって、前記複数のソースライン(SL)のうちの1本のソースライン(SL)が共有される、半導体記憶装置。

- [10] 前記基板(14)は、半導体基板(11)、絶縁層(12)、及び半導体層(13)がこの順に積層されたSOI基板(14)であり、

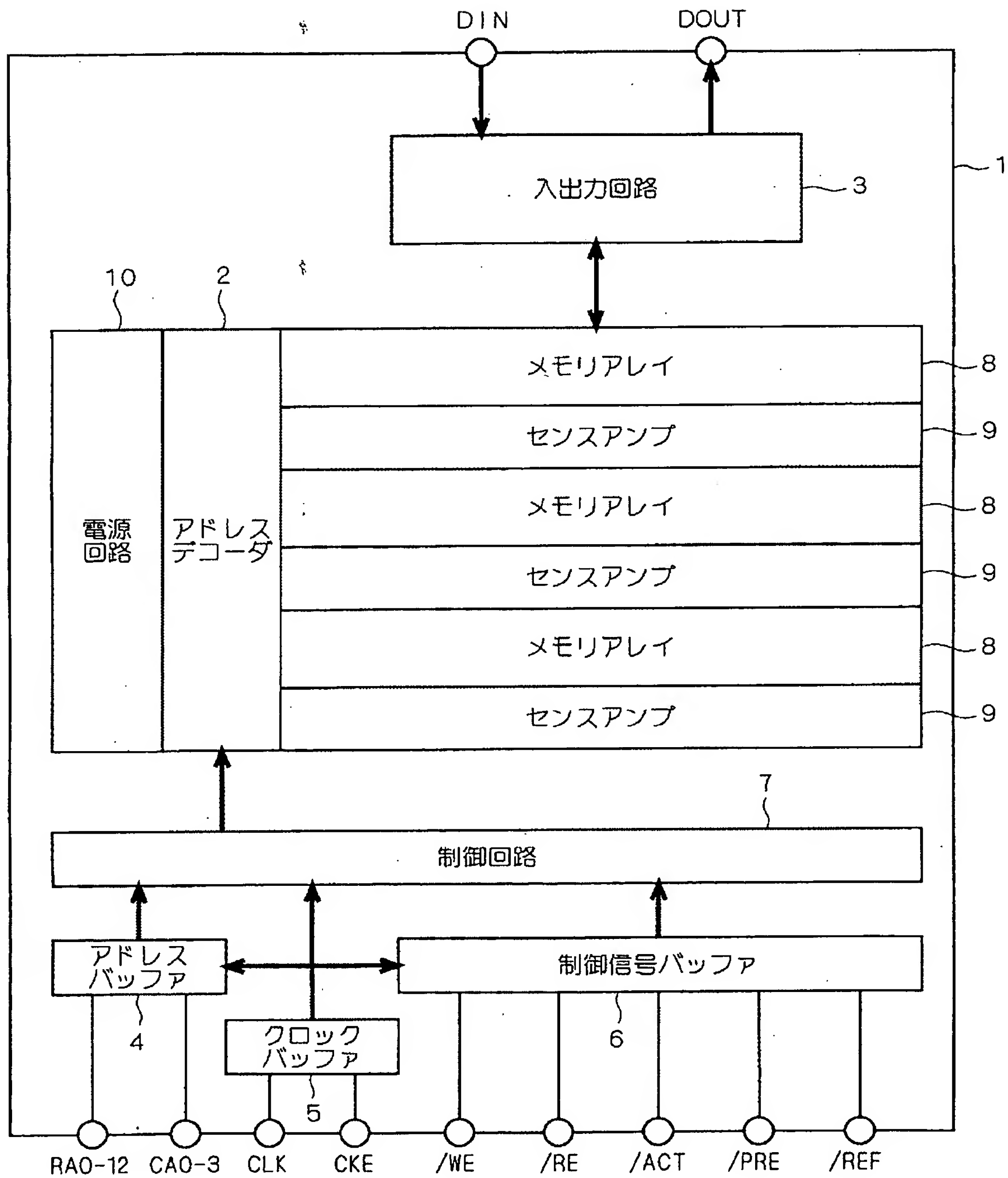
前記SOI基板(14)は、前記複数のメモリセル(MC)が形成されたメモリセルアレイ領域と、周辺回路が形成された周辺回路領域とを有しており、

前記第1の素子分離絶縁膜(15)は、前記絶縁層(12)の上面に接触する底面を有しており、

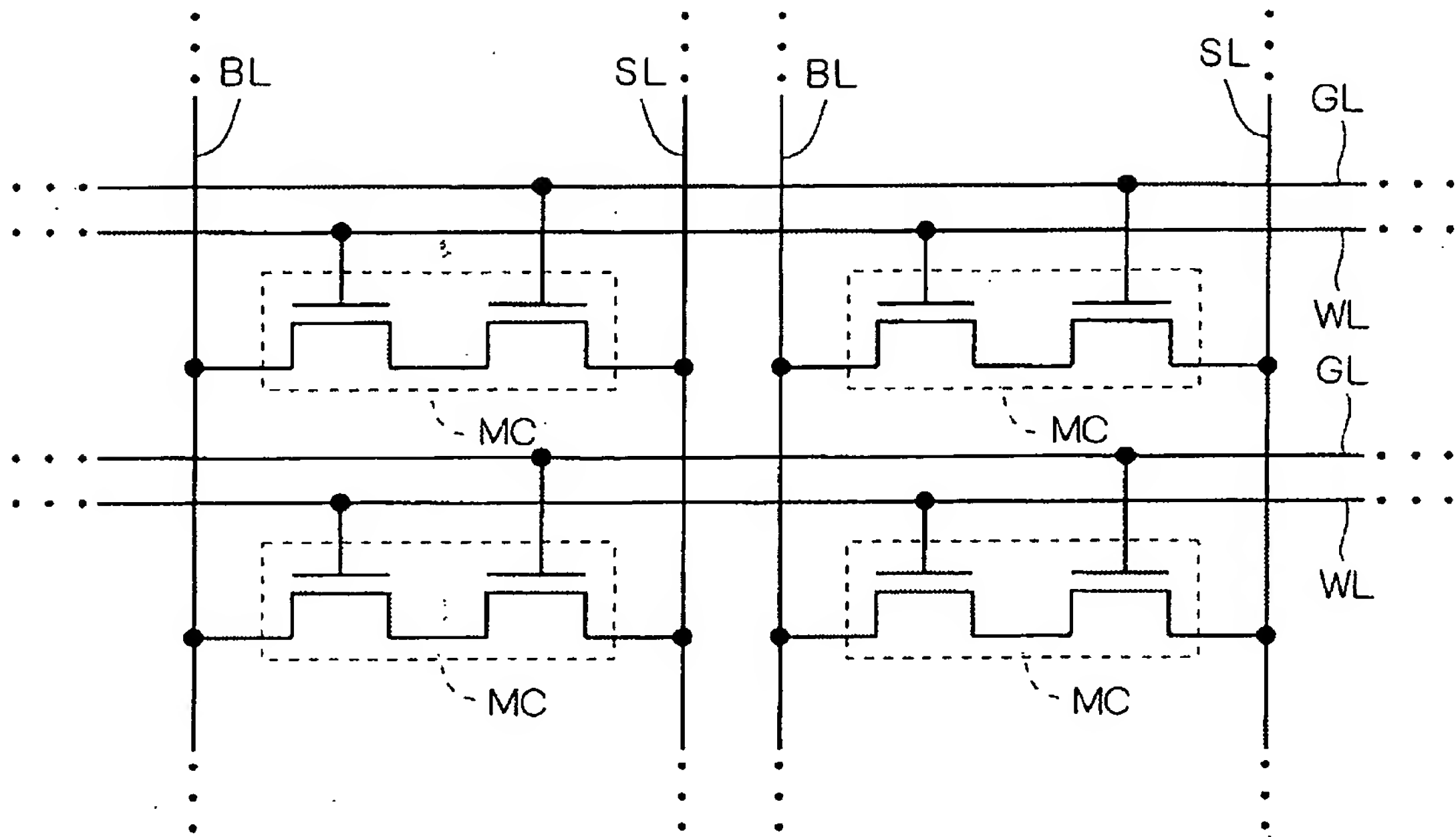
前記周辺回路領域内には、前記絶縁層(12)の上面に接触しない底面を有する第2の素子分離絶縁膜(140)が形成されている、請求項9に記載の半導体記憶装置。



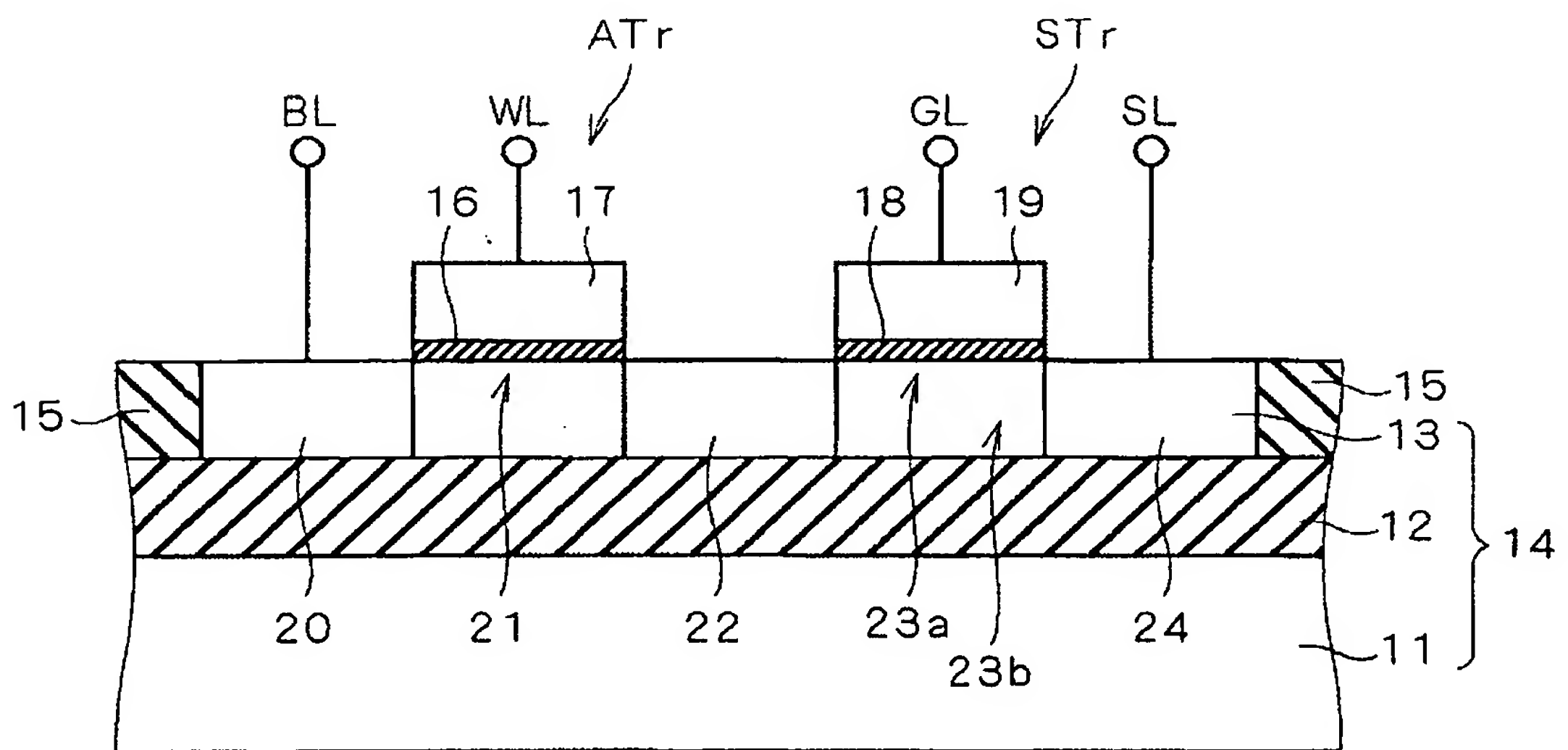
[図1]



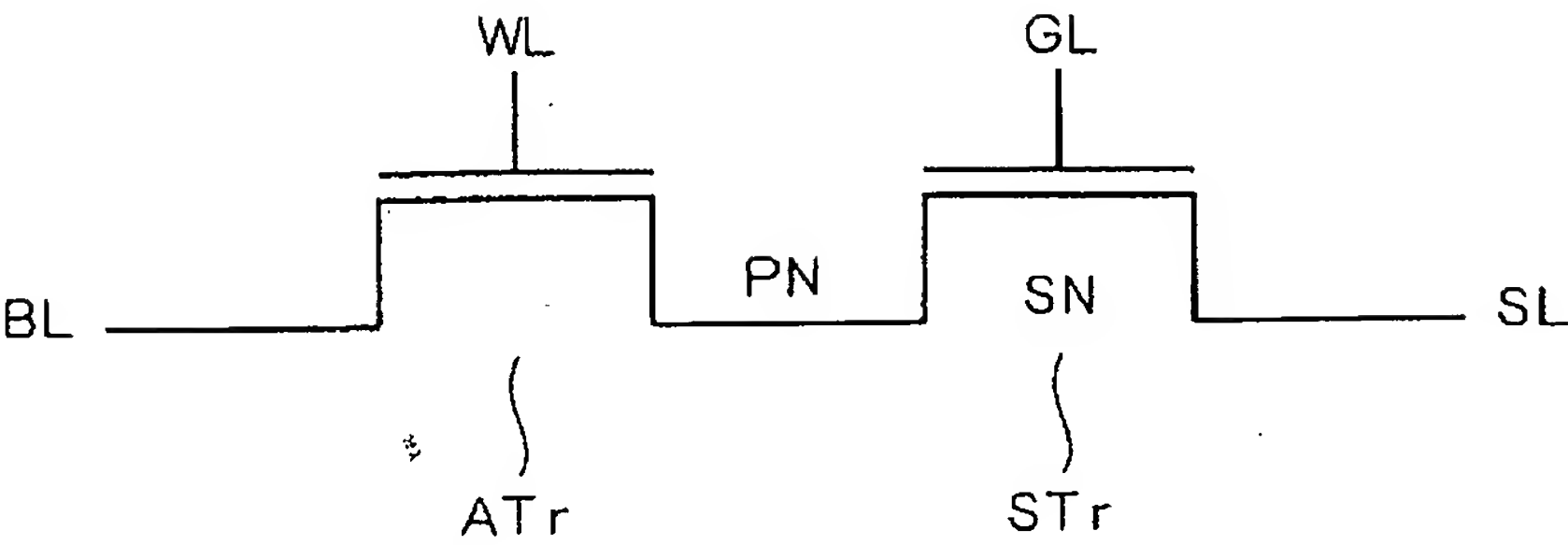
[図2]



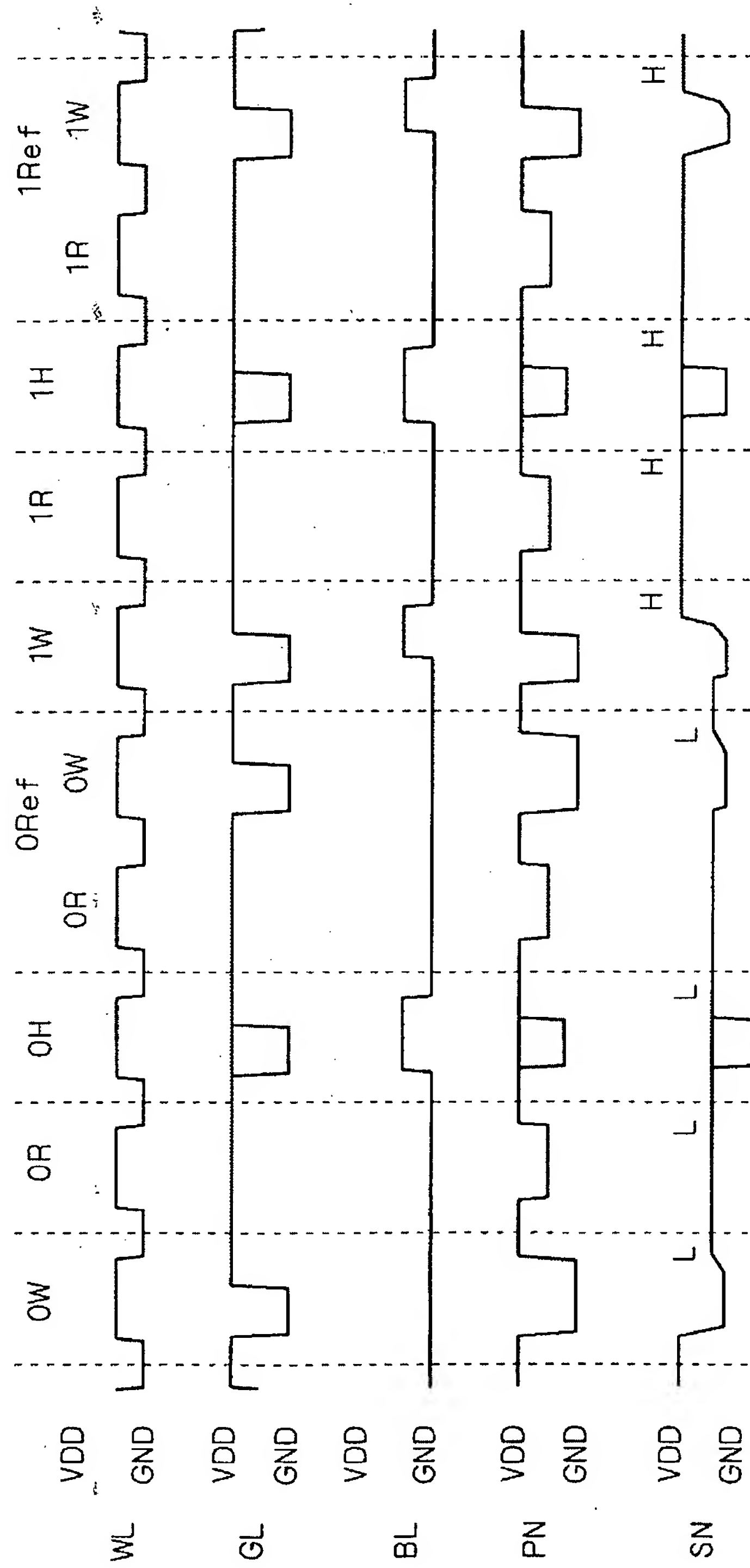
[図3]



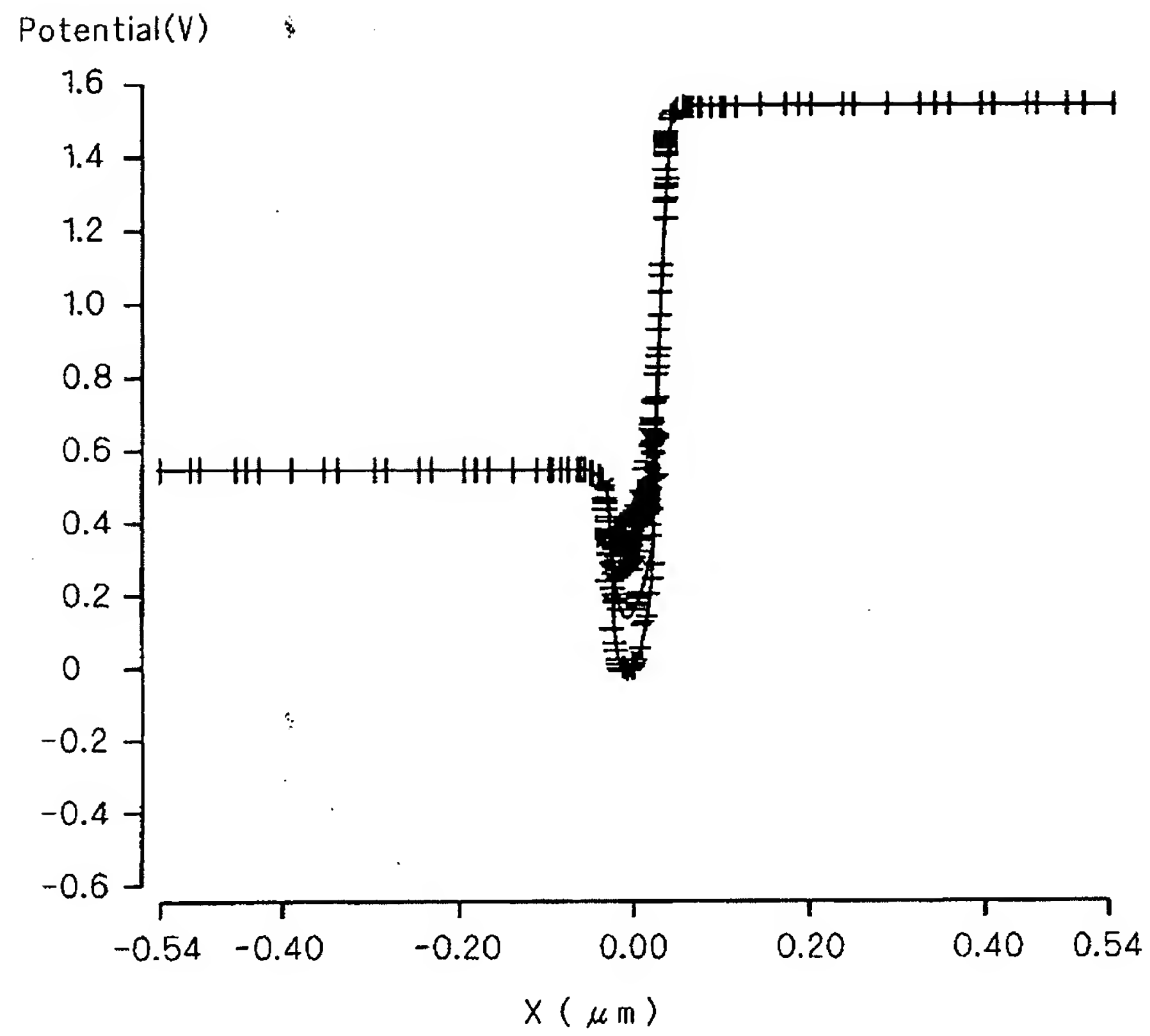
[図4]



[図5]

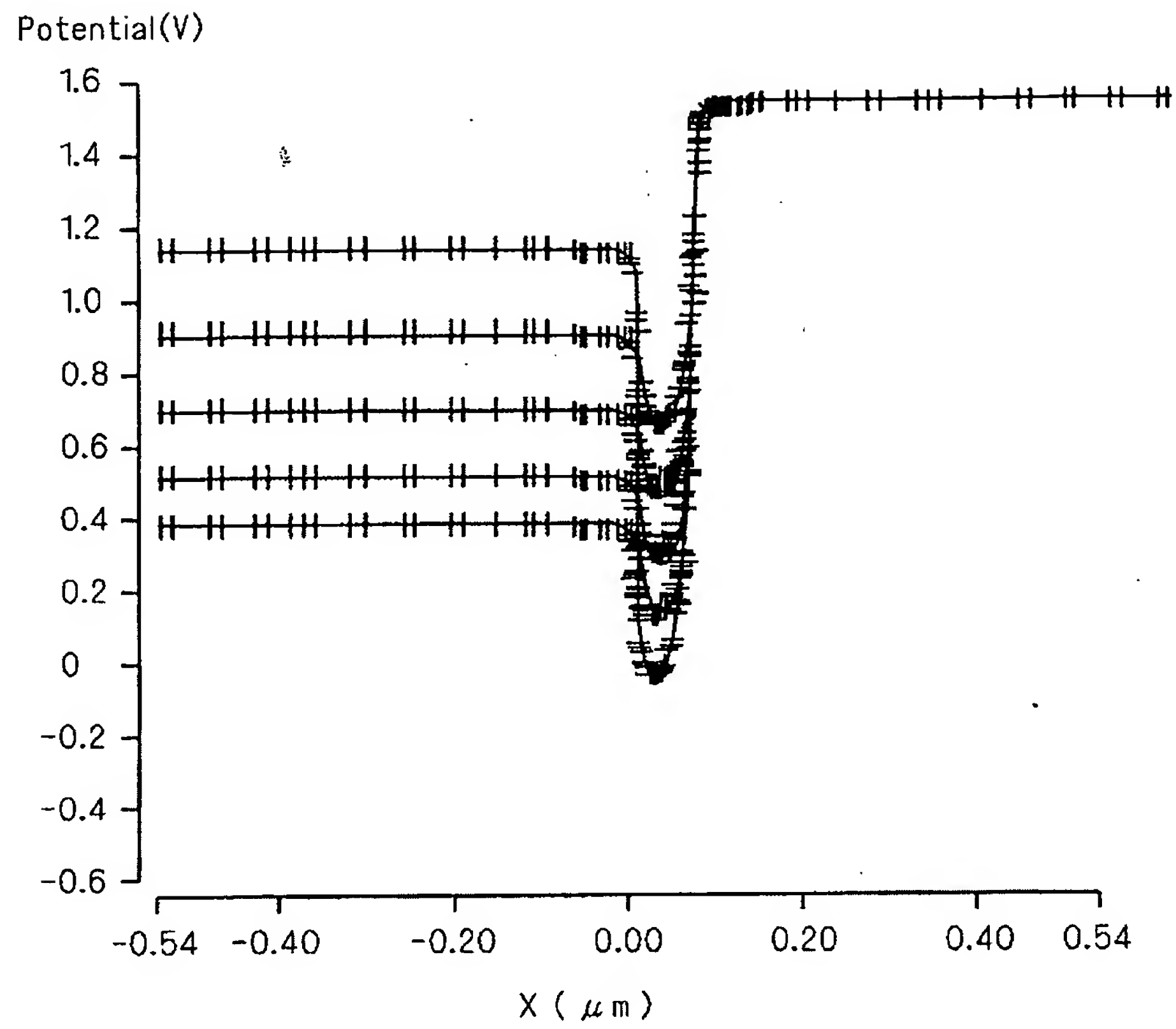


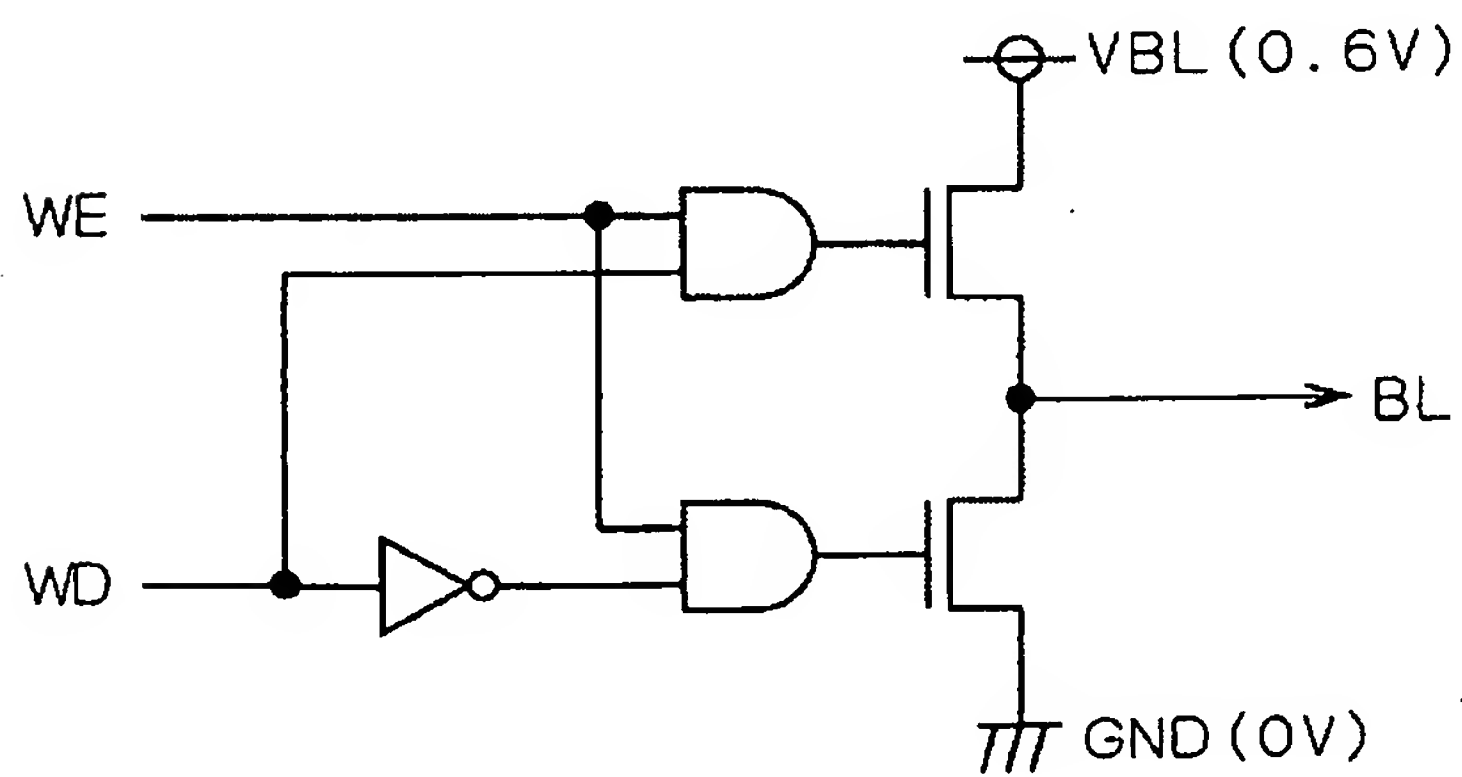
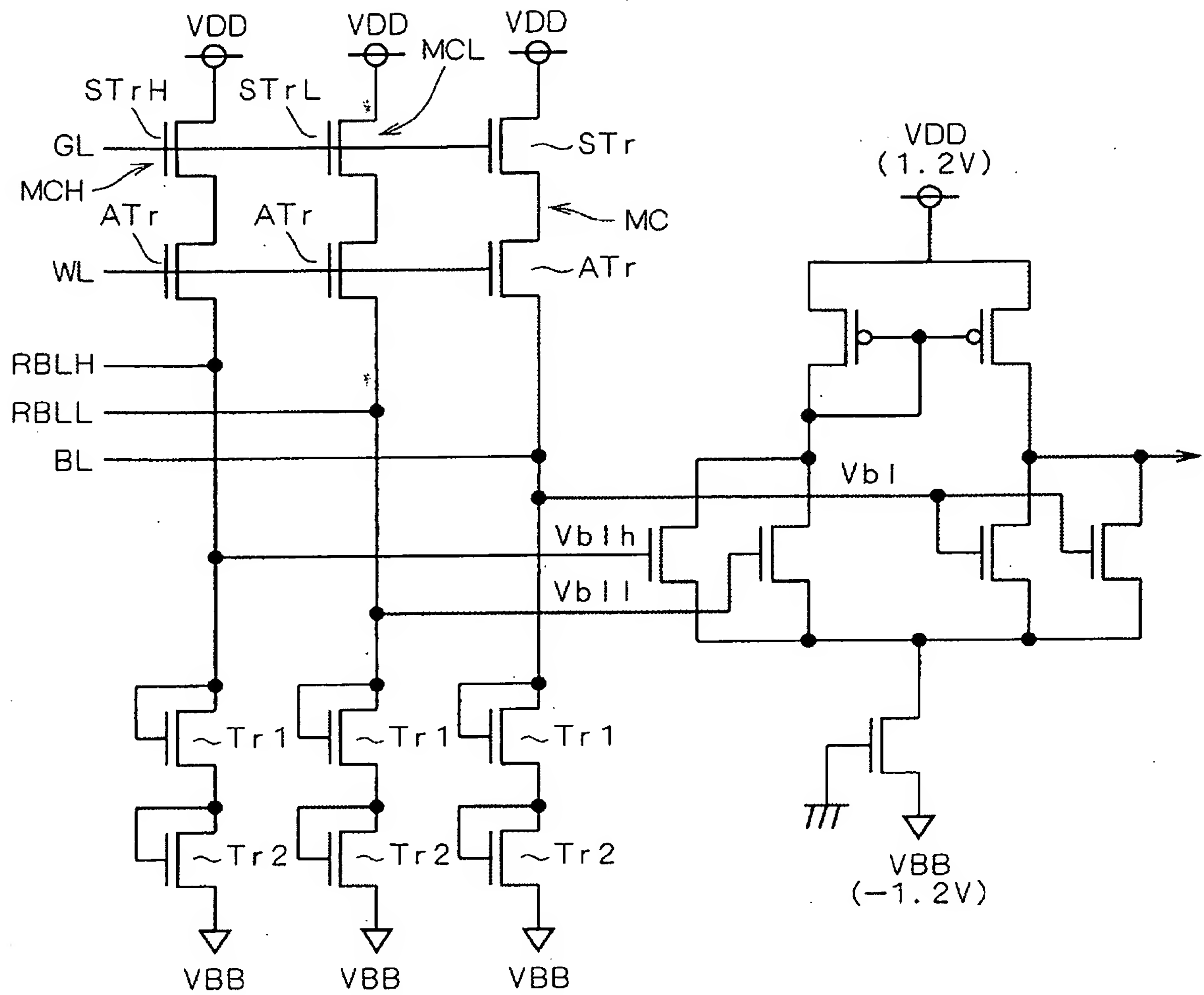
[図6]



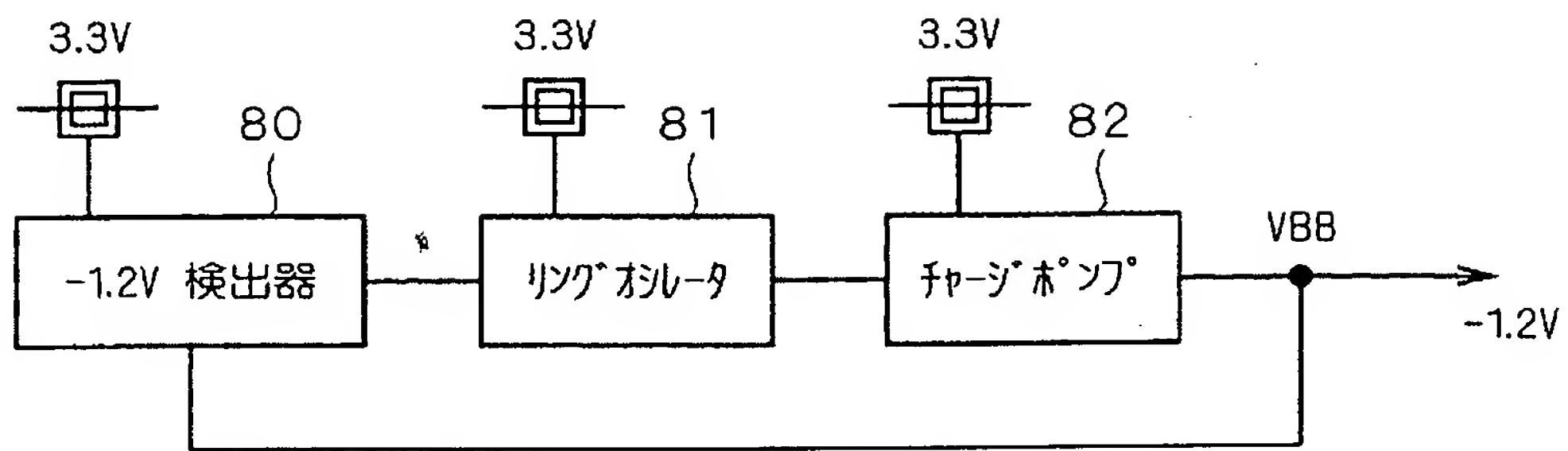


[図7]

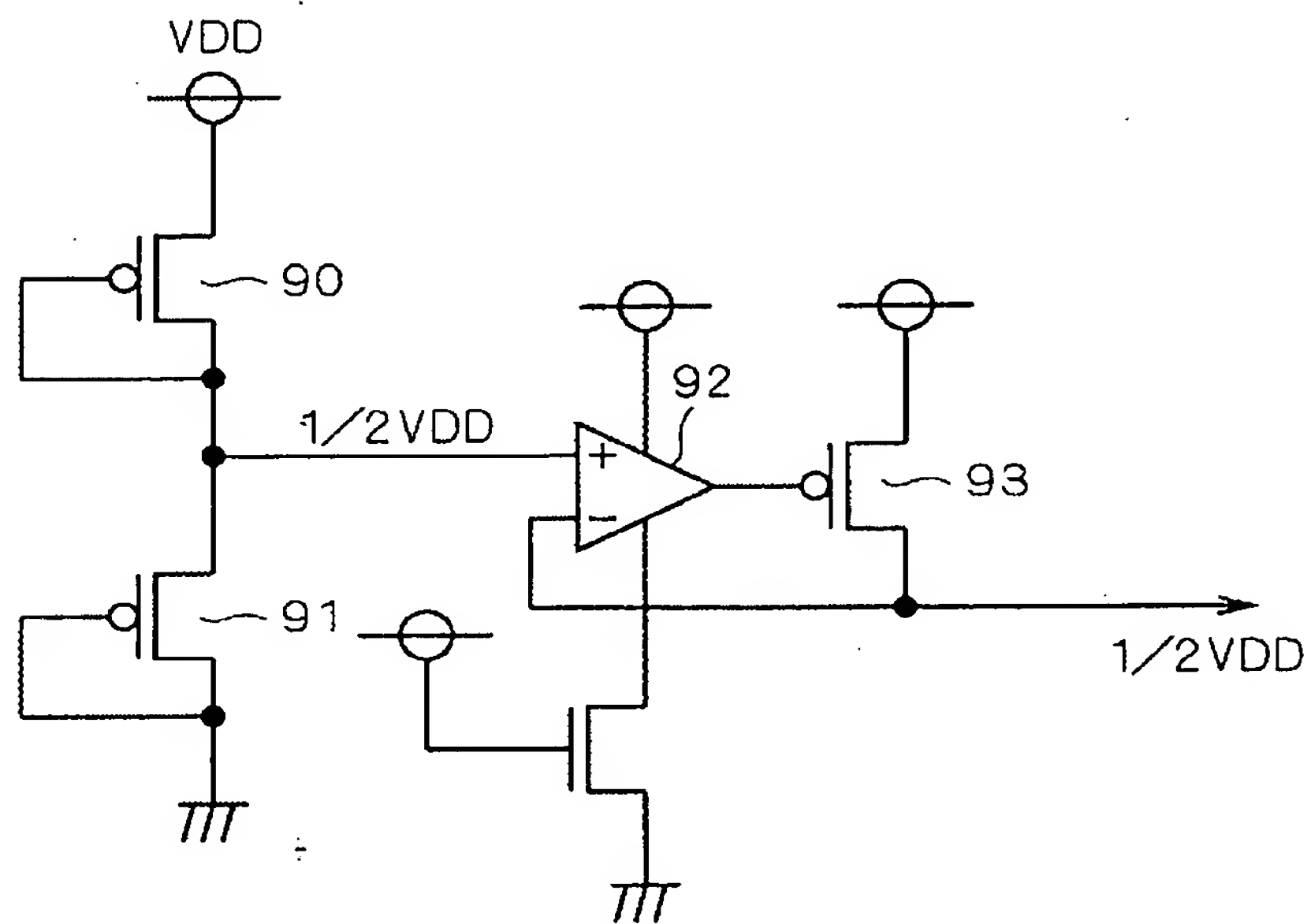




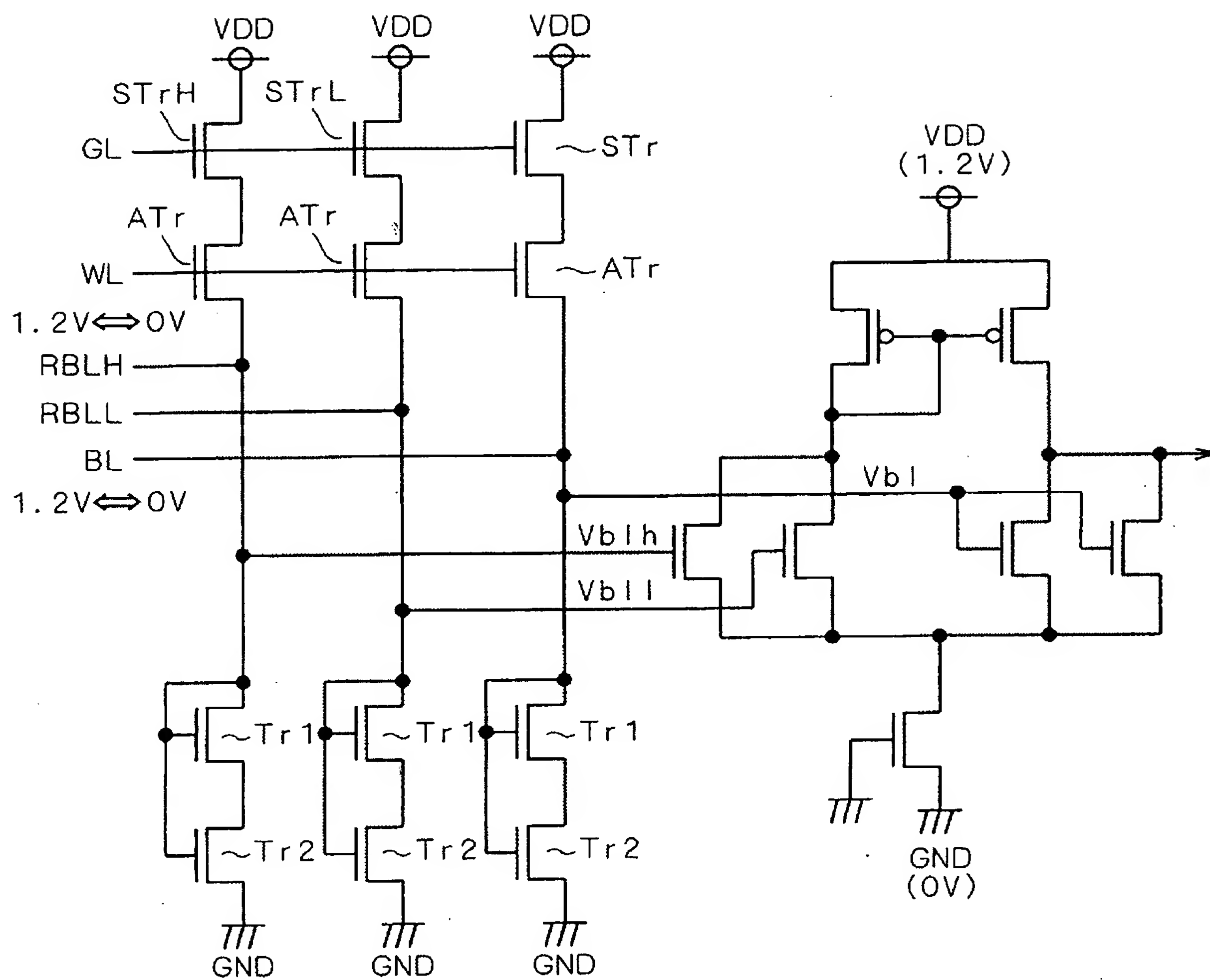
[図10]



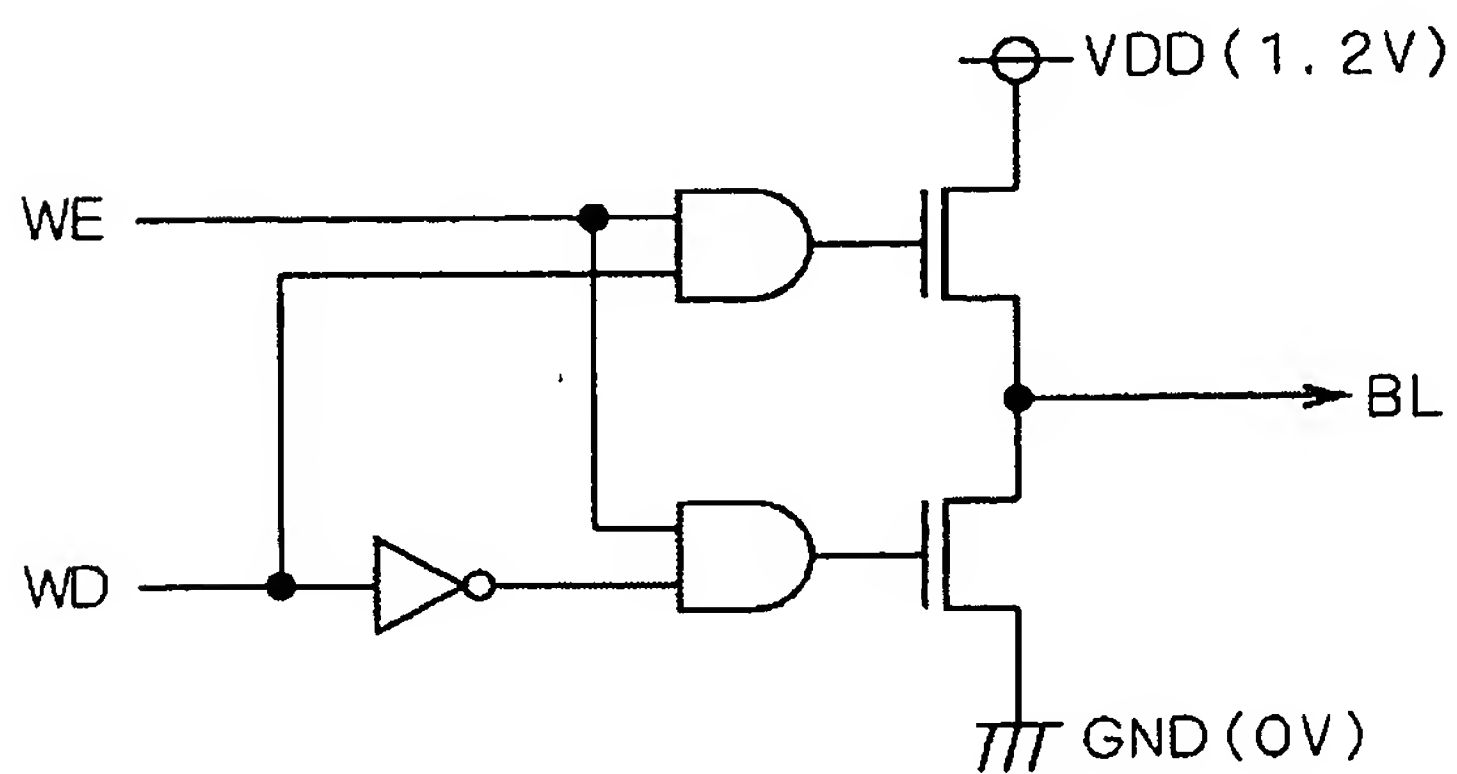
[図11]



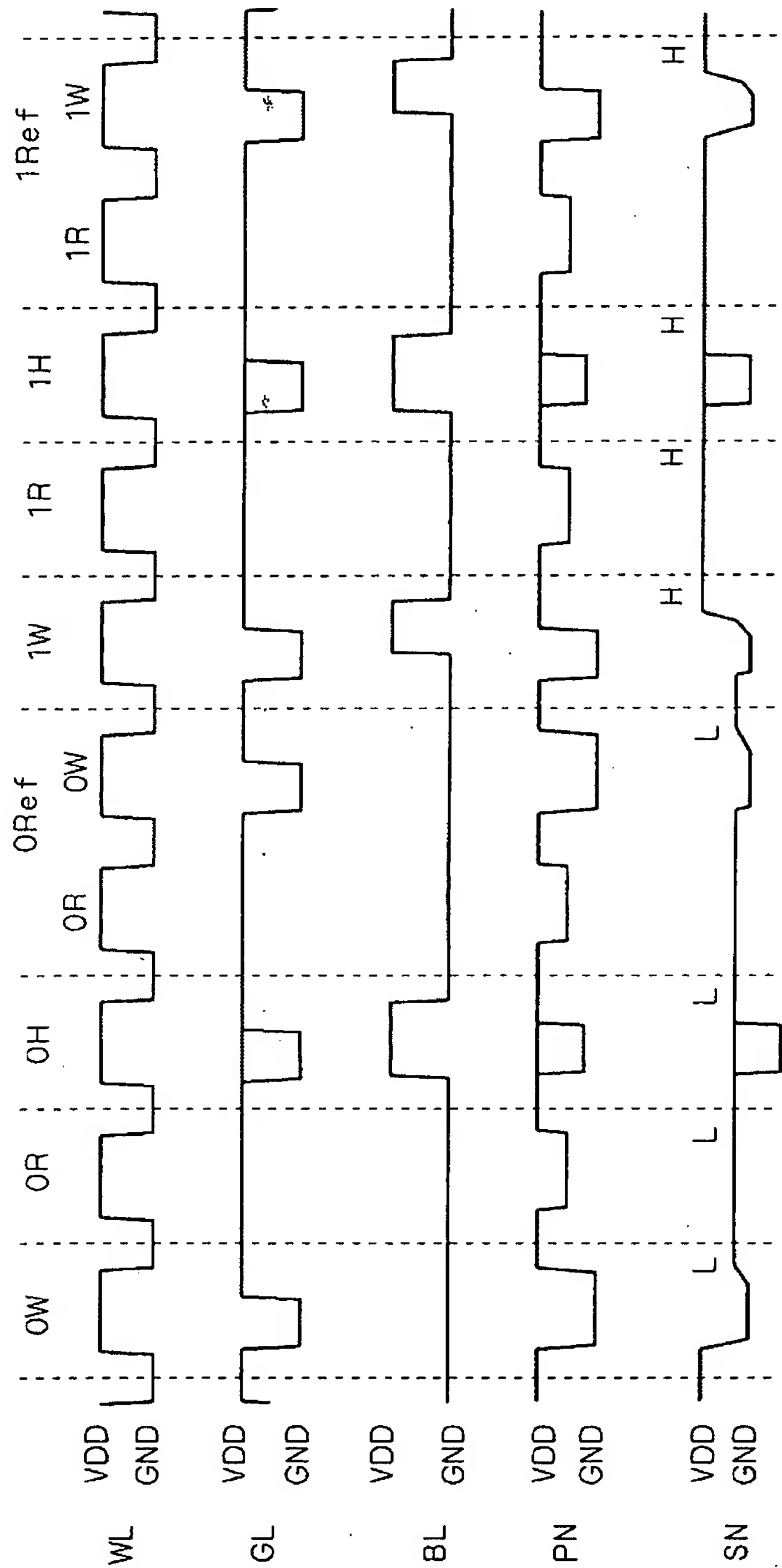
[図12]



[図13]

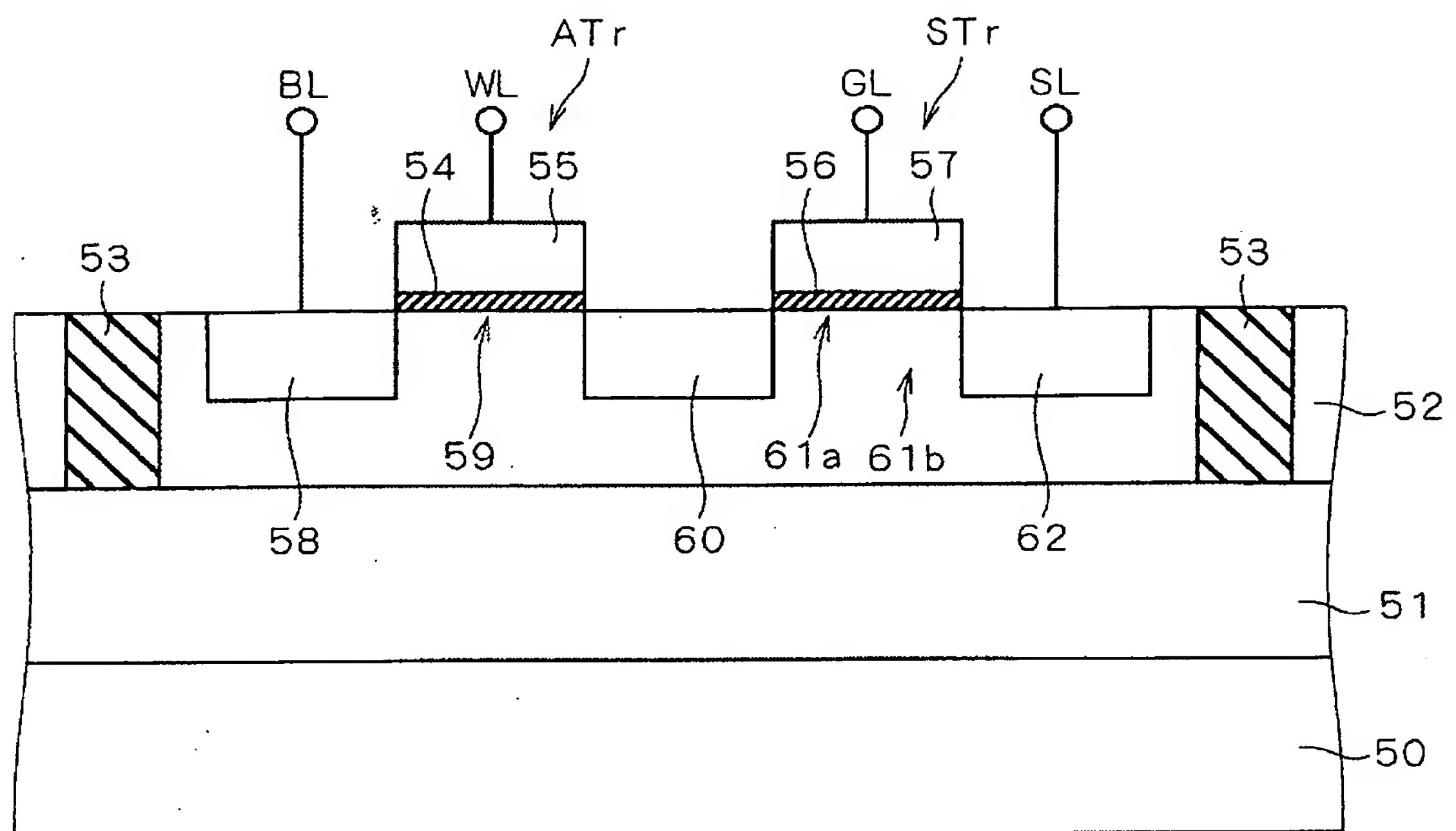


[図14]

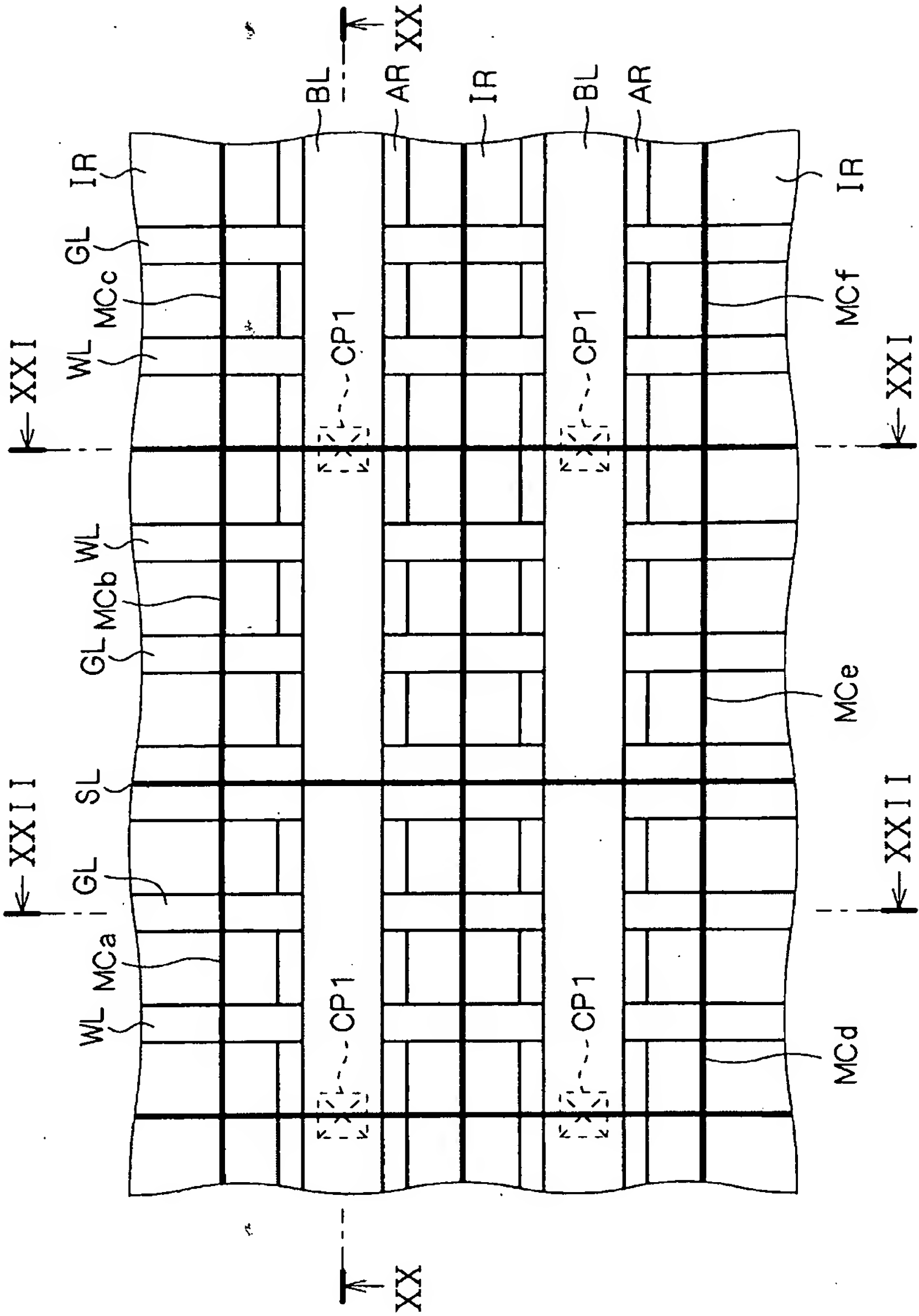




[図15]

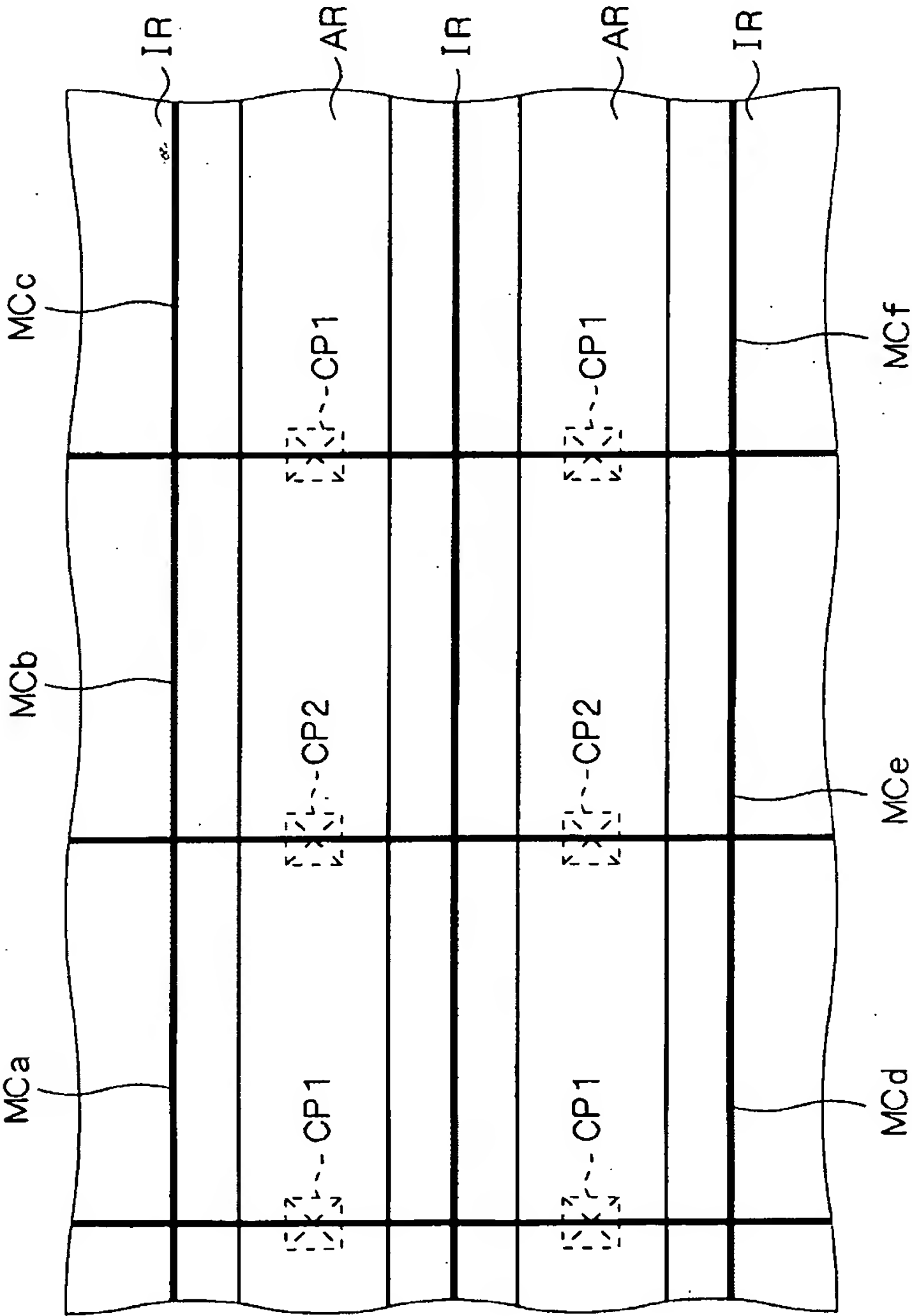


[図16]

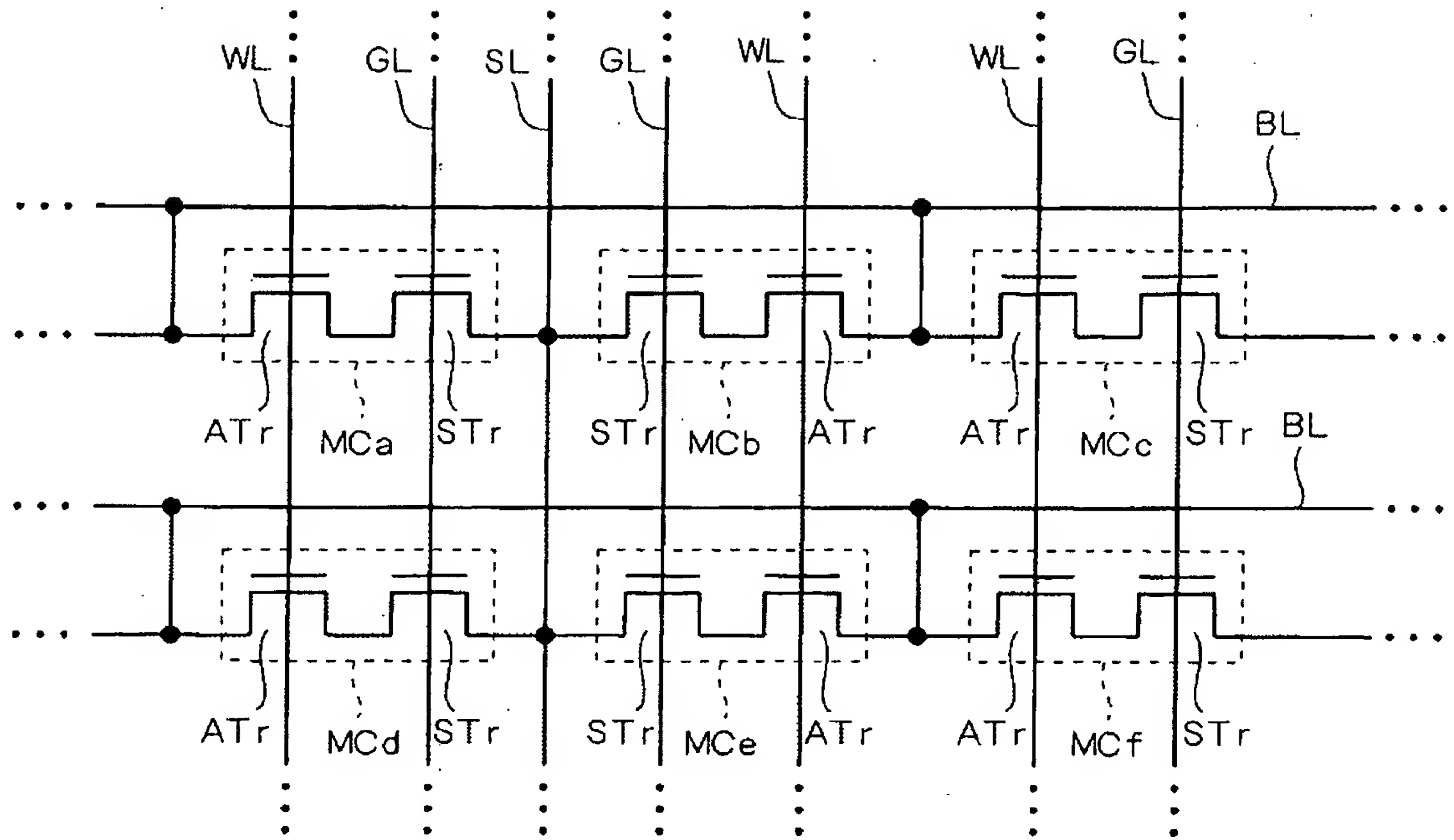




[図18]



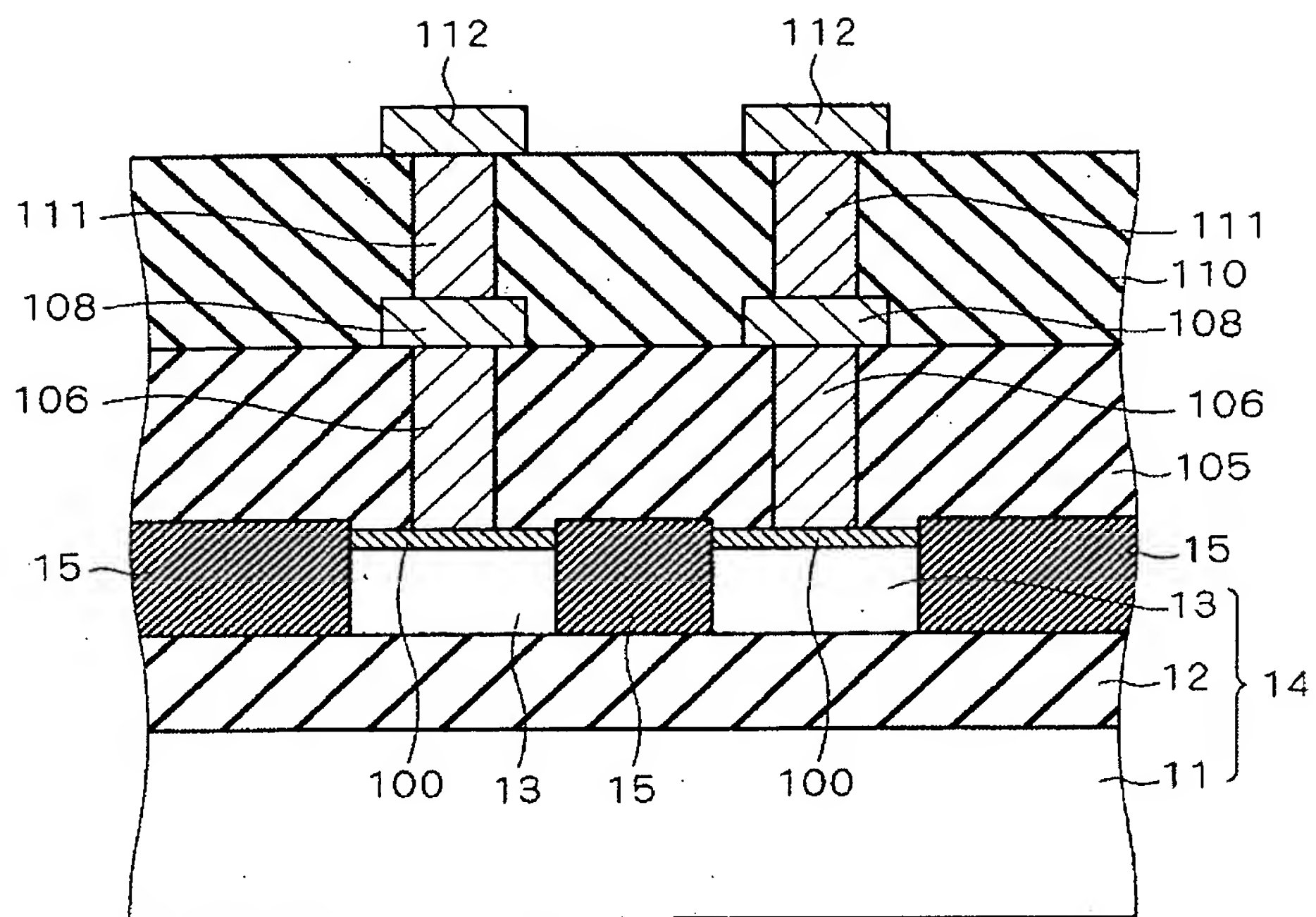
[図19]



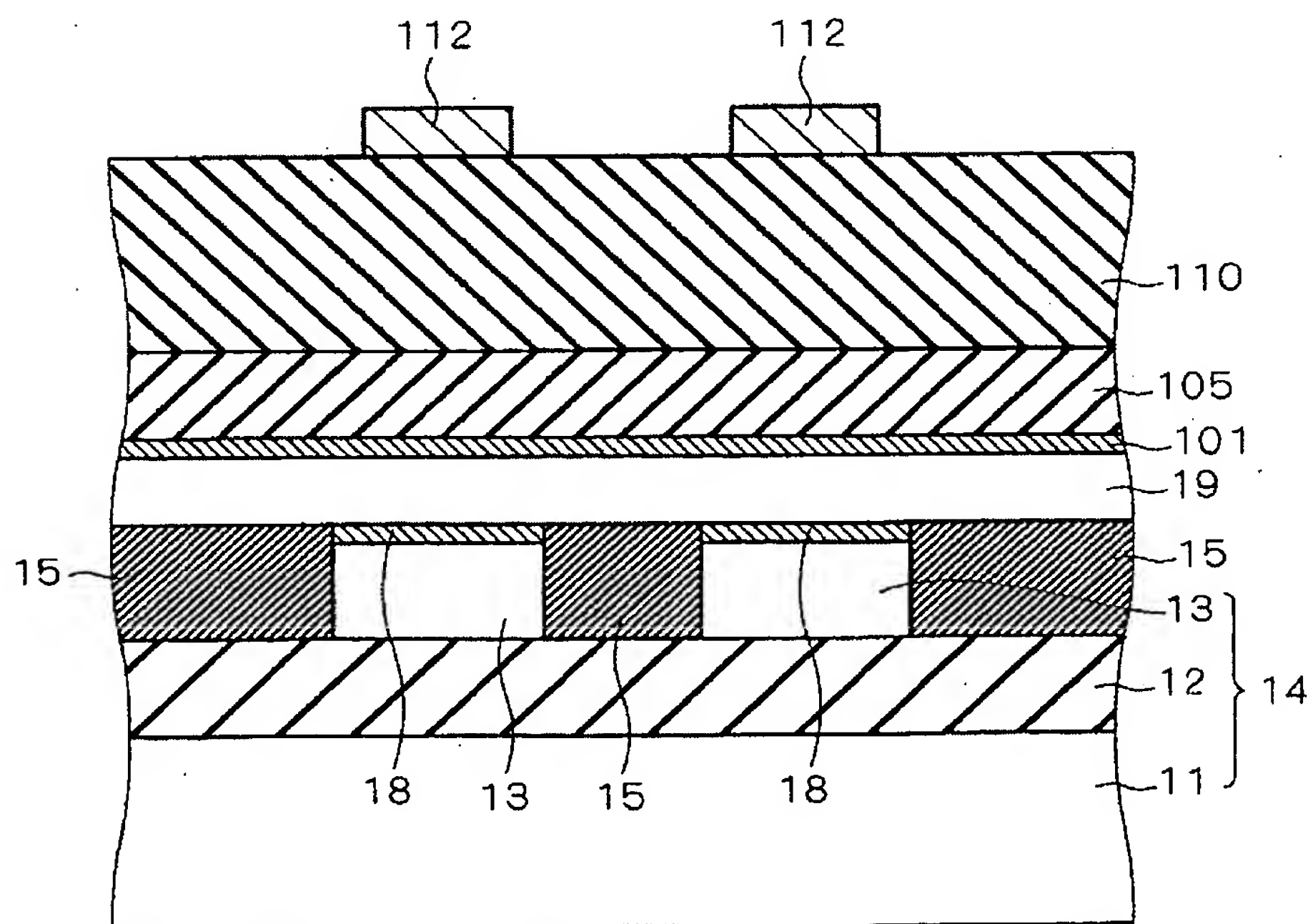




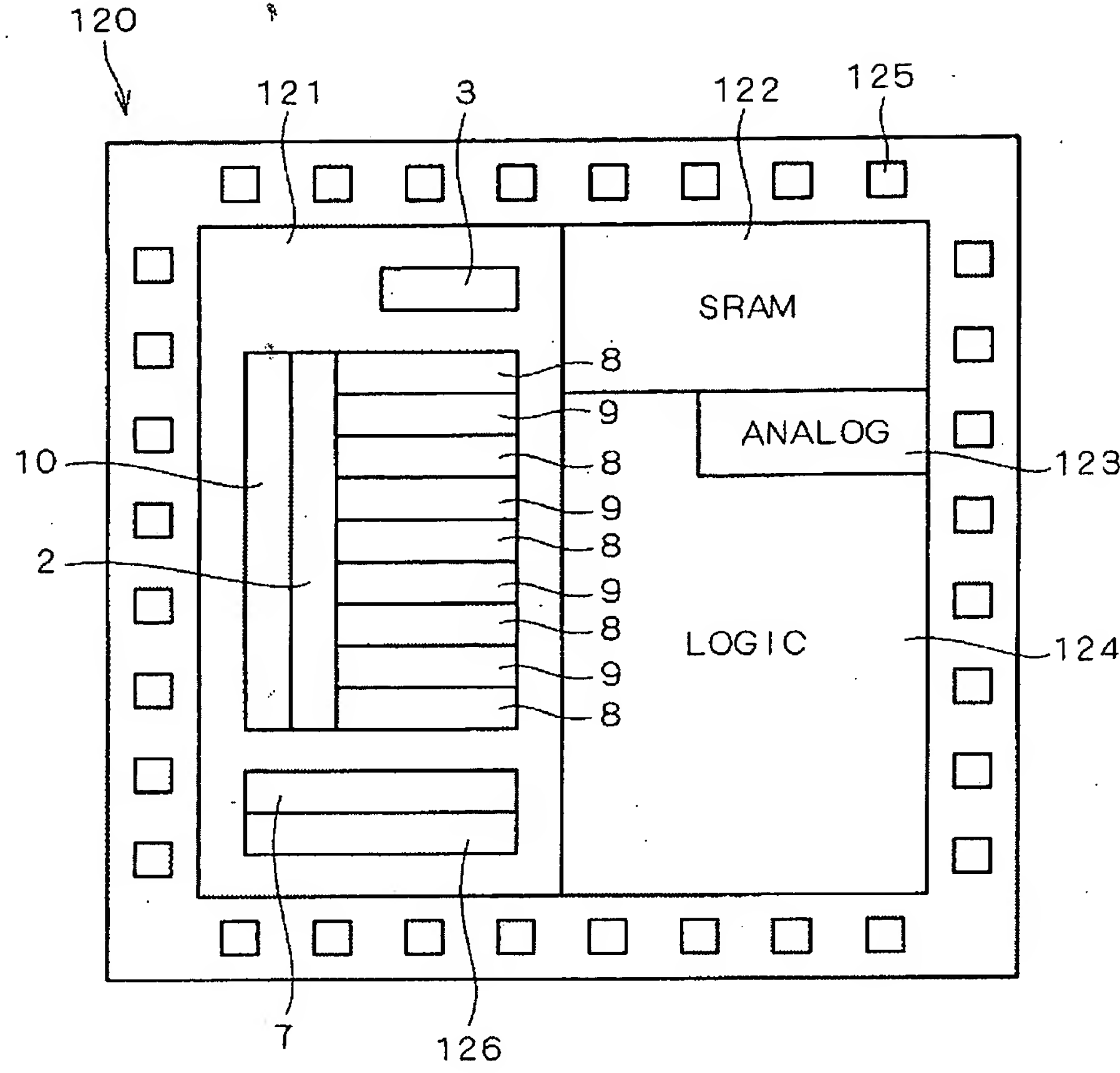
[図21]



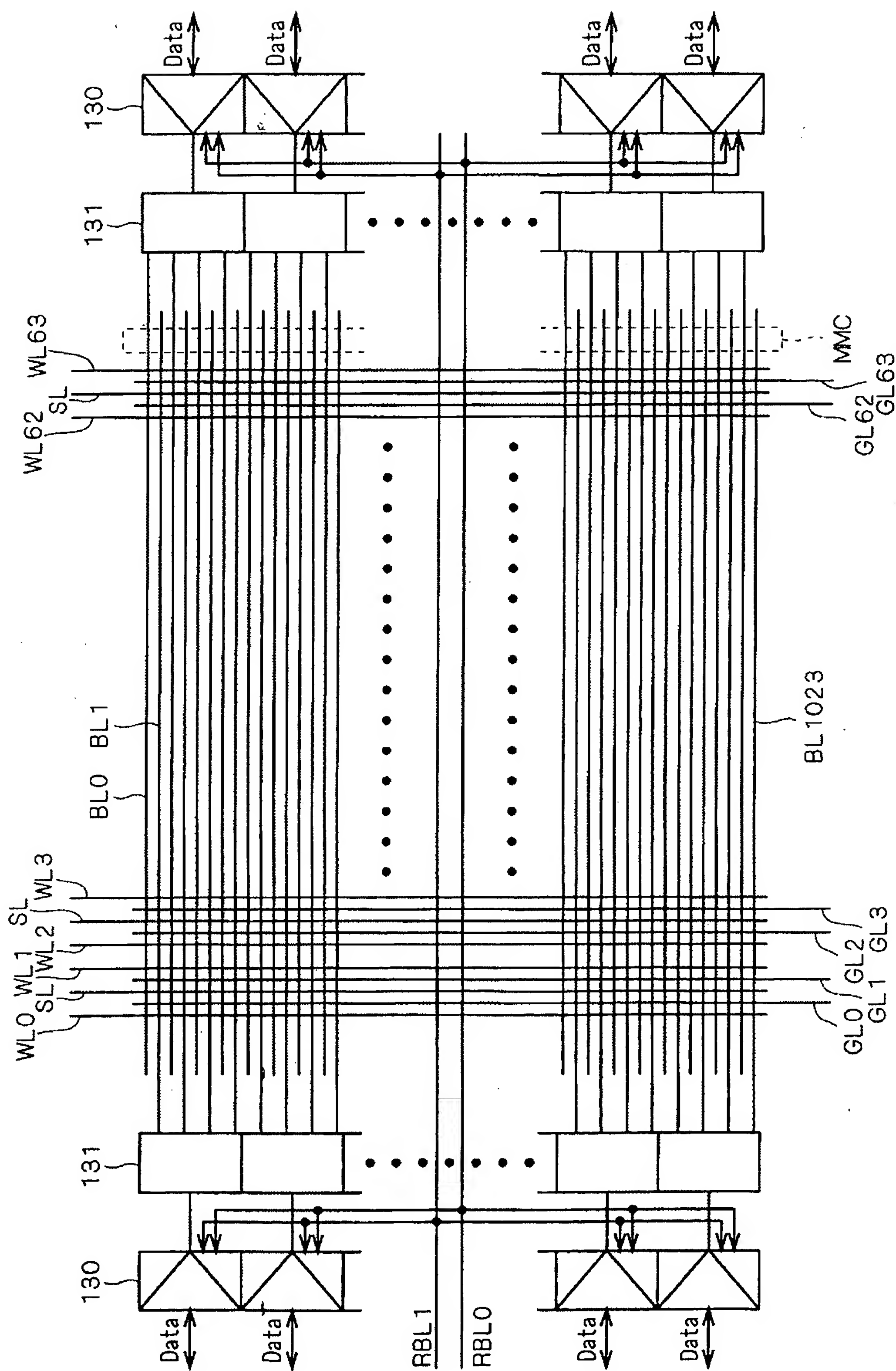
[図22]



[図23]



[図24]



[図25]

100

100

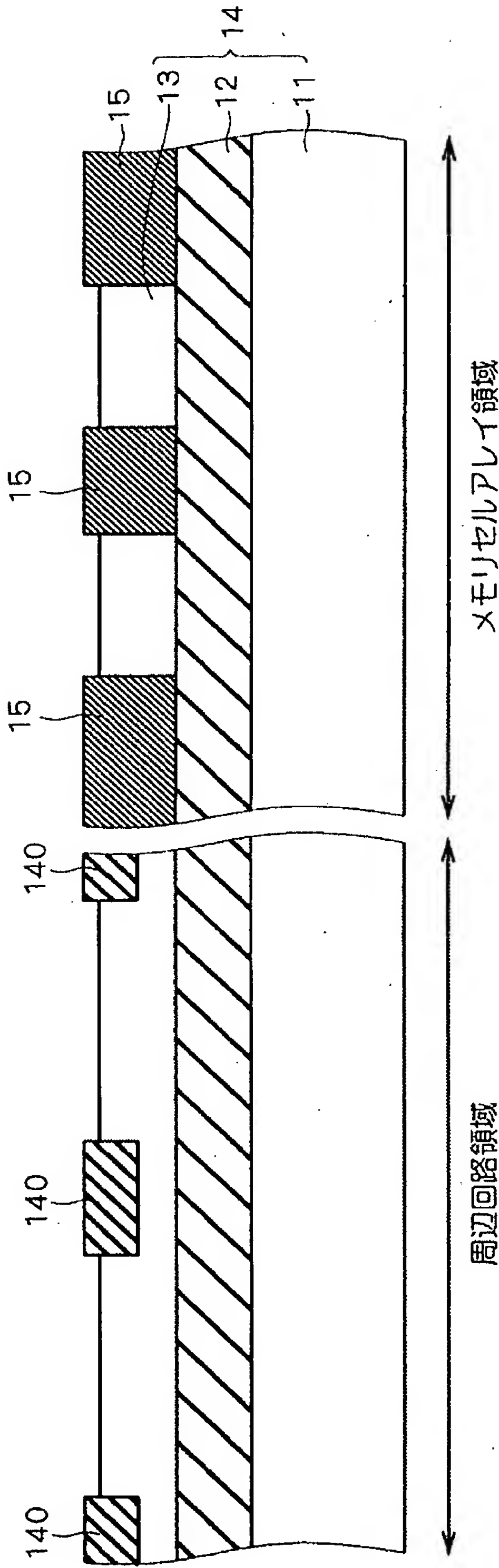
100

100

100

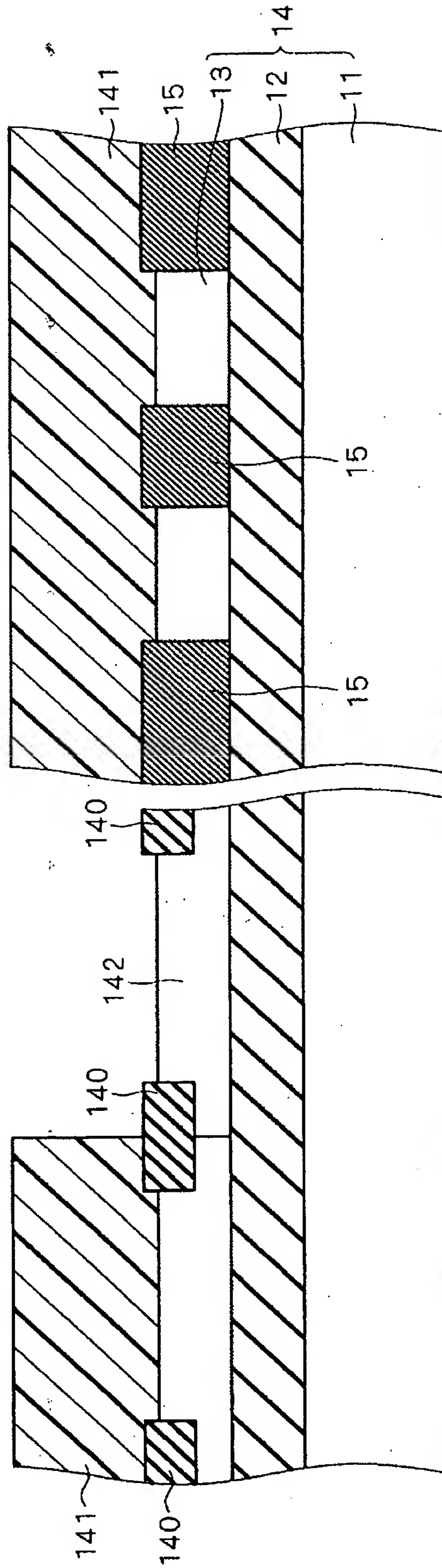
100

100

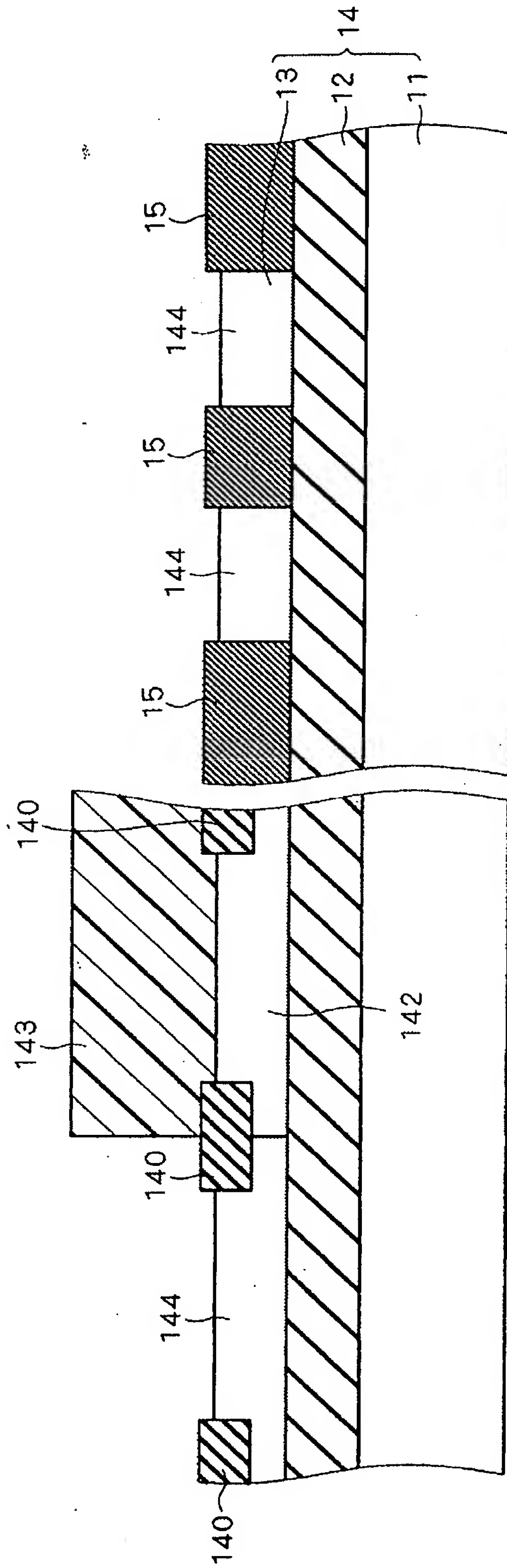




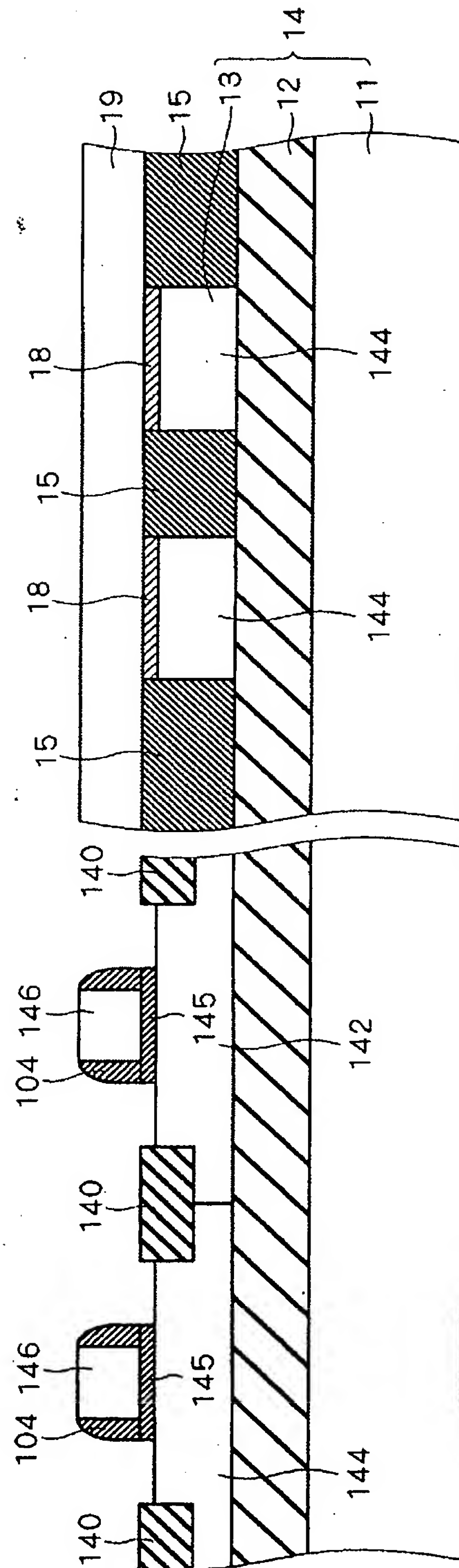
[図26]



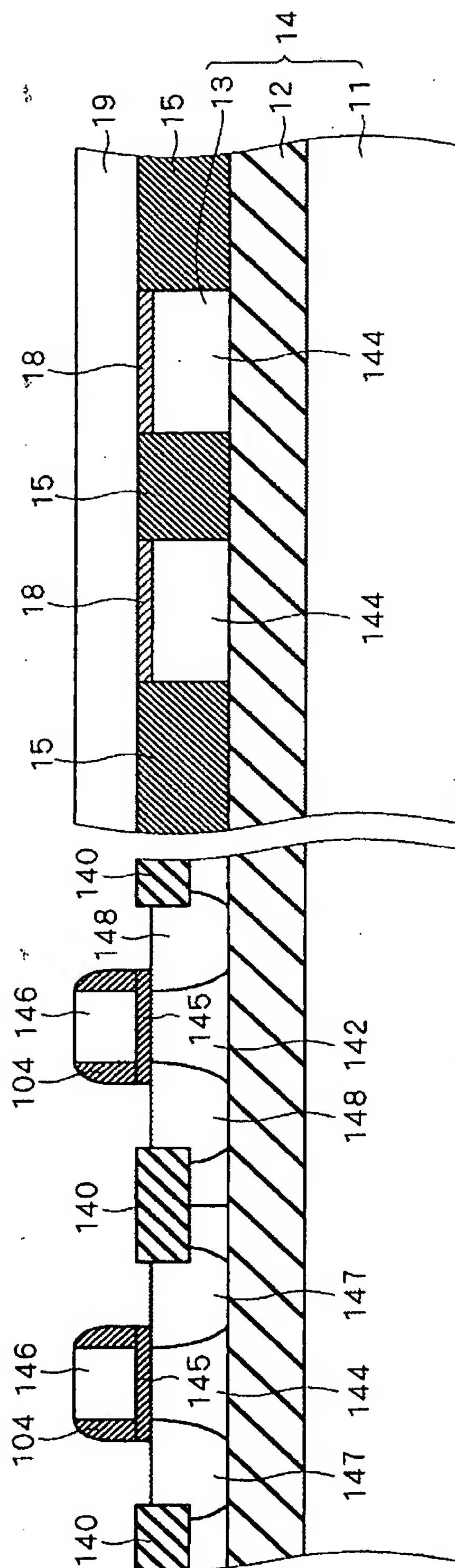
[図27]



[図28]



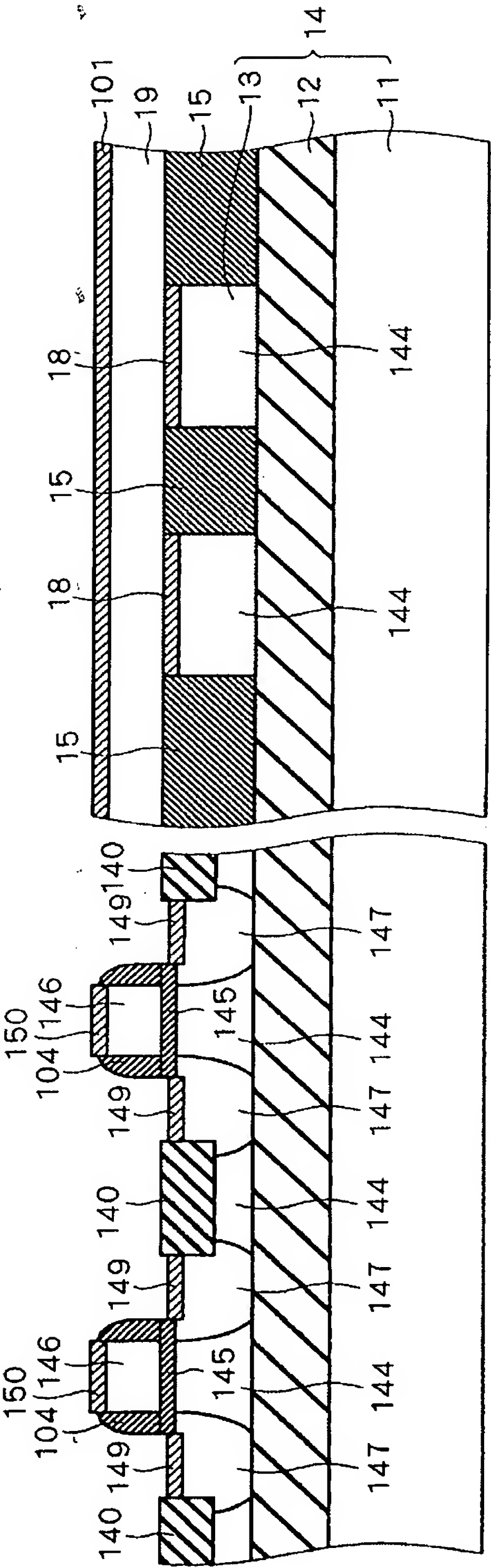
[図29]







[図31]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010242

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/8242, G11C11/405, H01L27/108

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/8242, G11C11/405, H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-86712 A (Toshiba Corp.), 20 March, 2003 (20.03.03), Full text; all drawings & US 2002/114191 A & EP 1233454 A & CN 1372323 A & TW 525292 B	1-8
A	JP 10-209456 A (Sharp Corp.), 07 August, 1998 (07.08.98), Full text; all drawings & US 6204534 B1 & EP 854519 A1 & DE 69724578 T & TW 379452 B	1-8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

09 August, 2005 (09.08.05)

Date of mailing of the international search report

30 August, 2005 (30.08.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010242

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	C.KUO et al., "A Capacitorless Double Gate DRAM Technology for Sub-100nm Embedded and Stand-Alone Memory Applications", IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.50, No.12, pages 2408 to 2416, December 2003	1-8
A	C.KUO et al., "A Capacitorless Double-Gate DRAM Cell", IEEE ELECTRON DEVICE LETTERS, Vol.23, No.6, pages 345 to 347, June 2002	1-8

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010242

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:  
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 8

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010242

Continuation of Box No.III of continuation of first sheet(2)

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. The group of inventions of claims 1-10 is considered to be linked only by the technical feature of "being a semiconductor storage comprising a plurality of memory cells, a gate line (GL), a word line (WL), a bit line (BL) and a source line (SL)". This technical feature, however, cannot be a special technical feature since it is so well known that it is needless to mention a document.

Consequently, it is considered that there exists no special technical feature so linking the group of inventions of claims 1-10 as to form a single general inventive concept. Therefore, it is obvious that the group of inventions of claims 1-10 does not satisfy the requirement of unity of invention.

Judging from the specific modes described in the independent claims, the claims of this international application are considered to contain two inventions: the invention of claims 1-8; and the invention of claims 9 and 10.